



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0008075
(43) 공개일자 2020년01월23일

(51) 국제특허분류(Int. Cl.)

H01L 27/15 (2006.01) H01L 27/28 (2006.01)
H01L 33/00 (2010.01) H01L 33/10 (2010.01)
H01L 33/12 (2010.01) H01L 33/16 (2010.01)
H01L 33/24 (2010.01) H01L 33/36 (2010.01)
H01L 33/62 (2010.01)

(52) CPC특허분류

H01L 27/156 (2013.01)
H01L 27/283 (2013.01)

(21) 출원번호 10-2018-0081378

(22) 출원일자 2018년07월13일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

우영걸

서울특별시 강동구 성안로31길 68, 2층 (천호3동)

(74) 대리인

특허법인가산

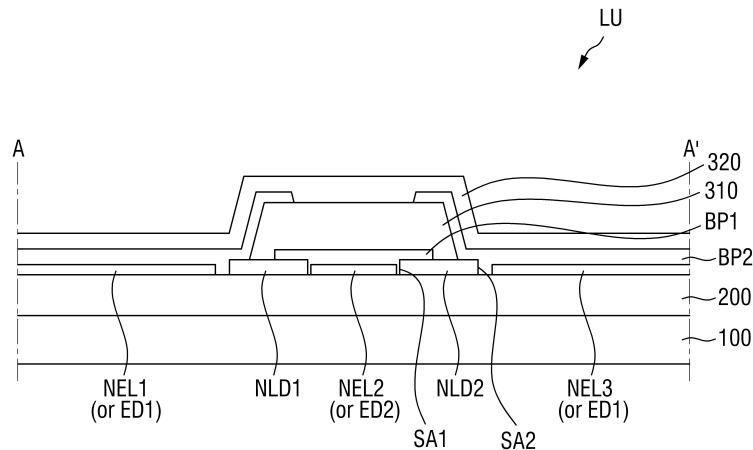
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 발광 장치 및 이의 제조 방법

(57) 요약

발광 장치는, 베이스층, 베이스층 상에 배치되고 제1 전극 패턴 및 제2 전극 패턴을 포함하는 제1 도전층으로서, 제1 전극 패턴과 제2 전극 패턴 사이의 제1 영역에서 베이스층을 노출하는 제1 도전층, 베이스층 상의 제1 영역에 배치된 미세 발광 다이오드, 제2 전극 패턴을 덮고, 미세 발광 다이오드의 일측을 덮으며, 제2 전극 패턴 및 미세 발광 다이오드의 일측과 각각 접촉하는 제2 도전층, 제2 도전층 및 미세 발광 다이오드 상에 배치되고 미세 발광 다이오드의 타측을 부분적으로 노출하는 제1 절연층, 및 제1 전극 패턴을 덮고, 미세 발광 다이오드의 타측을 덮으며, 제1 전극 패턴 및 미세 발광 다이오드의 타측과 접촉하고, 절연층의 측벽을 적어도 부분적으로 덮는 제3 도전층을 포함한다.

대표도 - 도4



(52) CPC특허분류

H01L 33/0008 (2013.01)

H01L 33/10 (2013.01)

H01L 33/12 (2013.01)

H01L 33/16 (2013.01)

H01L 33/24 (2013.01)

H01L 33/36 (2013.01)

H01L 33/62 (2013.01)

명세서

청구범위

청구항 1

베이스층;

상기 베이스층 상에 배치되고 제1 전극 패턴 및 제2 전극 패턴을 포함하는 제1 도전층으로서, 상기 제1 전극 패턴과 상기 제2 전극 패턴 사이의 제1 영역에서 상기 베이스층을 노출하는 제1 도전층;

상기 베이스층 상의 상기 제1 영역에 배치된 미세 발광 다이오드;

상기 제2 전극 패턴을 덮고, 상기 미세 발광 다이오드의 일측을 덮으며, 상기 제2 전극 패턴 및 상기 미세 발광 다이오드의 일측과 각각 접촉하는 제2 도전층;

상기 제2 도전층 및 상기 미세 발광 다이오드 상에 배치되고 상기 미세 발광 다이오드의 타측을 부분적으로 노출하는 제1 절연층; 및

상기 제1 전극 패턴을 덮고, 상기 미세 발광 다이오드의 타측을 덮으며, 상기 제1 전극 패턴 및 상기 미세 발광 다이오드의 타측과 접촉하고, 상기 절연층의 측벽을 적어도 부분적으로 덮는 제3 도전층을 포함하는 발광 장치.

청구항 2

제1 항에 있어서,

상기 제2 도전층 상에 배치되되 상기 베이스층과 중첩하는 제2 절연층,

상기 제2 절연층 상에 배치되되 박막 트랜지스터를 포함하는 구동 회로층, 및

상기 제2 절연층들을 관통하여 상기 제2 전극 패턴을 노출시키는 관통홀을 통해 상기 박막 트랜지스터를 상기 제2 전극 패턴과 전기적으로 연결하는 데이터 도전체를 더 포함하는 발광 장치.

청구항 3

제2 항에 있어서,

상기 구동 회로층 상에 배치되는 제3 절연층을 더 포함하고,

상기 제2 도전층은 상기 미세 발광 다이오드들을 커버하고,

상기 관통홀은 상기 제2 도전층을 관통하여 상기 제2 전극 패턴을 노출시키며,

상기 관통홀의 내측면에서 상기 데이터 도전체는 상기 제3 절연층을 통해 상기 제2 도전층으로부터 절연되는 발광 장치.

청구항 4

제1 항에 있어서,

상기 베이스층과 상기 제1 도전층 사이에 배치되는 버퍼층, 및

상기 베이스층과 상기 버퍼층 사이에 배치되고 상기 제1 및 제2 미세 발광 다이오드들과 중첩하는 반사층을 더 포함하는 발광 장치.

청구항 5

제4 항에 있어서,

상기 반사층은 상기 제1 및 제2 전극 패턴들과 중첩하는 발광 장치.

청구항 6

제4 항에 있어서,

상기 반사층은 상기 제2 전극 패턴과 중첩하되, 상기 제1 전극 패턴과 일부 중첩하는 발광 장치.

청구항 7

제4 항에 있어서,

상기 베이스층 하부에 배치되되 박막 트랜지스터를 포함하는 구동 회로층, 및

상기 베이스층 및 상기 버퍼층을 관통하여 상기 제2 전극 패턴을 노출시키는 관통홀을 통해 상기 구동 회로층을 상기 제2 전극 패턴에 연결시키는 데이터 도전체를 포함하는 발광 장치.

청구항 8

제1 항에 있어서,

상기 베이스층 상에 배치되고, 상기 제1 전극 패턴의 하부에 배치된 격벽을 더 포함하고,

상기 제2 전극 패턴은 상기 베이스층과 직접적으로 면 접촉하는 발광 장치.

청구항 9

제1 항에 있어서,

상기 미세 발광 다이오드는 발광 물질 및 상기 발광 물질을 원기둥 형태로 둘러싸는 보호층을 포함하는 발광 장치.

청구항 10

제9 항에 있어서,

상기 미세 발광 다이오드는 원기둥 모양을 갖되, 윗면에 대응되는 제1 측벽 및 밑면에 대응되는 제2 측벽을 포함하는 발광 장치.

청구항 11

제10 항에 있어서,

상기 발광 물질은 p형 반도체층, 중간층 및 n형 반도체층이 순차적으로 배열된 구조를 갖는 발광 장치.

청구항 12

제11 항에 있어서,

상기 제1 측벽은 상기 p형 반도체층을 노출하고, 상기 제2 측벽은 상기 n형 반도체층을 노출하는 발광 장치.

청구항 13

제12 항에 있어서,

상기 제1 측벽은 상기 제1 도전층과 접촉하고, 상기 제2 측벽은 상기 제2 도전층과 접촉하는 발광 장치.

청구항 14

제10 항에 있어서,

상기 발광 물질은 무기 결정 구조를 갖는 발광 장치.

청구항 15

제1 항에 있어서,

상기 제1 절연층은 상기 제1 도전층을 커버하고,

상기 제2 도전층은 상기 제1 절연층을 커버하고,

상기 제2 도전층은 반사 물질을 포함하는 발광 장치.

청구항 16

제1 항에 있어서,

상기 베이스층 상에 배치되고, 상기 제1 및 제2 전극 패턴들의 하부에 배치된 격벽을 더 포함하는 발광 장치.

청구항 17

제16 항에 있어서,

상기 베이스층과 상기 제1 도전층 사이에 배치되는 버퍼층, 및

상기 베이스층과 상기 버퍼층 사이에 배치되고 상기 제1 및 제2 미세 발광 다이오드들과 중첩하는 반사층을 더 포함하는 발광 장치.

청구항 18

베이스층;

상기 베이스층 상에 배치되되, 상호 평행한 제1 및 제2 미세 전극 라인들을 포함하는 제1 전극 패턴;

상기 베이스층 상에 배치되되, 상기 제1 및 제2 미세 전극 라인들 사이에 배치되는 제3 미세 전극 라인을 포함하는 제2 전극 패턴;

상기 제1 및 제3 미세 전극 라인들 사이에 배치되는 제1 미세 발광 다이오드;

상기 제2 및 제3 미세 전극 라인들 사이에 배치되는 제2 미세 발광 다이오드;

상기 제2 미세 전극 라인 및 상기 제1 및 제2 미세 발광 다이오드들 상에 직접적으로 배치되어 상기 제2 전극 패턴과 상기 제1 및 제2 미세 발광 다이오드들을 전기적으로 연결하는 제1 도전층;

상기 제1 도전층을 커버하고, 상기 제1 및 제2 미세 발광 다이오드들 각각의 일측을 노출시키는 제1 절연층; 및

상기 제1 도전층 상에 배치되되, 상기 제1 전극 패턴 및 상기 제1 및 제2 미세 발광 다이오드들을 전기적으로 연결하는 제2 도전층을 포함하는 발광 장치.

청구항 19

제18 항에 있어서,

상기 제2 도전층 상에 배치되되 상기 베이스층과 중첩하는 제2 절연층,

상기 제2 절연층 상에 배치되되 박막 트랜지스터를 포함하는 구동 회로층, 및

상기 제2 절연층들을 관통하여 상기 제2 전극 패턴을 노출시키는 관통홀을 통해 상기 박막 트랜지스터를 상기 제2 전극 패턴과 전기적으로 연결하는 데이터 도전체를 더 포함하는 발광 장치.

청구항 20

제19 항에 있어서, 상기 제2 도전층은

상기 제1 미세 발광 다이오드를 상기 제2 전극 패턴에 전기적으로 연결하는 제1 서브 도전층, 및

상기 제2 미세 발광 다이오드를 상기 제2 전극 패턴에 전기적으로 연결하는 제2 서브 도전층을 포함하고,

상기 제2 도전층은 상기 제1 전극 패턴과 중첩하지 않는 발광 장치.

청구항 21

제19 항에 있어서,

상기 구동 회로층 상에 배치되는 제3 절연층을 더 포함하고,

상기 제2 도전층은 상기 제1 및 제2 미세 발광 다이오드들을 커버하고,

상기 관통홀은 상기 제2 도전층을 관통하여 상기 제2 전극 패턴을 노출시키며,

상기 관통홀의 내측면에서 상기 데이터 도전체는 상기 제3 절연층을 통해 상기 제2 도전층으로부터 절연되는 발광 장치.

청구항 22

제18 항에 있어서,

상기 베이스층과 상기 제1 및 제2 전극 패턴들 사이에 배치되는 버퍼층, 및

상기 베이스층과 상기 버퍼층 사이에 배치되고 상기 제1 및 제2 미세 발광 다이오드들과 중첩하는 반사층을 더 포함하는 발광 장치.

청구항 23

제22 항에 있어서,

상기 반사층은 상기 제1 및 제2 전극 패턴들과 중첩하는 발광 장치.

청구항 24

제22 항에 있어서,

상기 반사층은 상기 제3 미세 전극 라인과 중첩하되, 상기 제1 및 제2 미세 전극 라인들 중 적어도 하나와 일부 중첩하는 발광 장치.

청구항 25

제22 항에 있어서,

상기 베이스층 하부에 배치되되 박막 트랜지스터를 포함하는 구동 회로층, 및

상기 베이스층 및 상기 버퍼층을 관통하여 상기 제2 전극 패턴을 노출시키는 관통홀을 통해 상기 구동 회로층을 상기 제2 전극 패턴에 연결시키는 데이터 도전체를 더 포함하는 발광 장치.

청구항 26

제18 항에 있어서,

상기 베이스층 상에 배치되고, 상기 제1 전극 패턴의 하부에 배치된 격벽을 더 포함하는 발광 장치.

청구항 27

베이스층 상에 제1 전극 패턴 및 제2 전극 패턴을 포함하는 제1 도전층을 형성하는 단계;

상기 제1 및 제2 전극 패턴들 사이에 미세 발광 다이오드를 배치하여 정렬하는 단계;

상기 제2 전극 패턴 전체와 상기 미세 발광 다이오드의 일측을 덮도록 제1 도전층을 형성하는 단계;

상기 제1 도전층을 덮도록 제1 절연층을 형성하는 단계; 및

상기 제1 절연층을 통해 노출된 상기 미세 발광 다이오드의 타측과, 상기 제1 전극 패턴과, 상기 제1 절연층의 측벽을 덮도록 제2 도전층을 형성하는 단계를 포함하는 발광 장치의 제조 방법.

청구항 28

제27 항에 있어서,

상기 제1 도전층은 상기 미세 발광 다이오드를 상기 베이스층에 고정시키고,

상기 미세 발광 다이오드를 정렬한 직후에 상기 제1 도전층을 형성하며,

상기 미세 발광 다이오드를 정렬하는 단계와 상기 제1 도전층을 형성하는 단계 사이에는 마스크 공정을 포함하는 발광 장치의 제조 방법.

청구항 29

제28 항에 있어서,

상기 제1 및 제2 전극 패턴들은 상기 베이스층 상에 직접적으로 형성되고, 상기 베이스층은 평탄한 상면을 가지는 발광 장치의 제조 방법.

청구항 30

제29 항에 있어서,

상기 베이스층은 반사층을 포함하고, 상기 미세 발광 다이오드는 상기 반사층과 중첩하는 발광 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 발광 다이오드를 포함하는 장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 발광 다이오드(Light Emitting Diode, LED)는 화합물 반도체의 특성을 이용해 전기 신호를 적외선, 가시광선 등의 빛의 형태로 변환시키는 소자로서, 가전제품, 리모콘, 전광판, 각종 자동화 기기 등에 사용되고 있으며, 그 적용범위는 점차 확대되는 추세이다.

[0003] 나아가, 발광 다이오드를 표시 장치에 적용하려는 시도가 확대되고 있다. 일 예로, 표시 장치의 백라이트로서 발광 다이오드가 이용되거나, 발광 다이오드를 화상을 표시할 수 있는 미세한 화소 단위로 소형화하여 자발광 형식의 표시 장치를 직접 구현하는 등의 시도가 확대되고 있다.

[0004] 이에, 발광 다이오드들을 소형화하면서도 여러 종류의 장치에 사용할 수 있을 만큼 충분한 밝기를 확보하기 위하여, 여러 개의 발광 다이오드를 집적할 수 있는 구조가 요구된다.

발명의 내용

해결하려는 과제

[0005] 다만, 발광 다이오드를 소형화하여 집적하는 경우, 발광체들 및 이들 발광체들에 전압을 제공하는 전극 또는 배선의 연결 구조의 신뢰성이 높을 것이 요구된다.

[0006] 이에, 본 발명이 해결하고자 하는 과제는 발광체 및 이와 연결된 전극의 연결 구조에 대한 신뢰성이 확보된 발광 장치를 제공하는 것이다.

[0007] 나아가, 본 발명이 해결하고자 하는 다른 과제는 발광체 및 이와 연결된 전극의 연결 구조에 대한 신뢰성을 확보할 수 있는 발광 장치의 제조 방법을 제공하는 것이다.

[0008] 본 발명의 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0009] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 발광 장치는 베이스층, 상기 베이스층 상에 배치되고 제1 전극 패턴 및 제2 전극 패턴을 포함하는 제1 도전층으로서, 상기 제1 전극 패턴과 상기 제2 전극 패턴 사이의 제1 영역에서 상기 베이스층을 노출하는 제1 도전층, 상기 베이스층 상의 상기 제1 영역에 배치된 미세 발광 다이오드, 상기 제2 전극 패턴을 덮고, 상기 미세 발광 다이오드의 일측을 덮으며, 상기 제2 전극 패턴 및 상기 미세 발광 다이오드의 일측과 각각 접촉하는 제2 도전층, 상기 제2 도전층 및 상기 미세 발광 다이오드 상에 배치되고 상기 미세 발광 다이오드의 타측을 부분적으로 노출하는 제1 절연층, 및 상기 제1 전극 패턴을 덮고, 상기 미세 발광 다이오드의 타측을 덮으며, 상기 제1 전극 패턴 및 상기 미세 발광 다이오드의 타측과 접촉하고, 상기 절연층의 측벽을 적어도 부분적으로 덮는 제3 도전층을 포함한다.

- [0010] 상기 발광 장치는, 상기 제2 도전층 상에 배치되되 상기 베이스층과 중첩하는 제2 절연층, 상기 제2 절연층 상에 배치되되 박막 트랜지스터를 포함하는 구동 회로층, 및 상기 제2 절연층들을 관통하여 상기 제2 전극 패턴을 노출시키는 관통홀을 통해 상기 박막 트랜지스터를 상기 제2 전극 패턴과 전기적으로 연결하는 데이터 도전체를 더 포함할 수 있다.
- [0011] 상기 발광 장치는, 상기 구동 회로층 상에 배치되는 제3 절연층을 더 포함하고, 상기 제2 도전층은 상기 미세 발광 다이오드들을 커버하고, 상기 관통홀은 상기 제2 도전층을 관통하여 상기 제2 전극 패턴을 노출시키며, 상기 관통홀의 내측면에서 상기 데이터 도전체는 상기 제3 절연층을 통해 상기 제2 도전층으로부터 절연될 수 있다.
- [0012] 상기 발광 장치는, 상기 베이스층과 상기 제1 도전층 사이에 배치되는 버퍼층, 및 상기 베이스층과 상기 버퍼층 사이에 배치되고 상기 제1 및 제2 미세 발광 다이오드들과 중첩하는 반사층을 더 포함 할 수 있다.
- [0013] 상기 반사층은 상기 제1 및 제2 전극 패턴들과 중첩 할 수 있다.
- [0014] 상기 반사층은 상기 제2 전극 패턴과 중첩하되, 상기 제1 전극 패턴과 일부 중첩 할 수 있다.
- [0015] 상기 발광 장치는, 상기 베이스층 하부에 배치되되 박막 트랜지스터를 포함하는 구동 회로층, 및 상기 베이스층과 상기 버퍼층을 관통하여 상기 제2 전극 패턴을 노출시키는 관통홀을 통해 상기 구동 회로층을 상기 제2 전극 패턴에 연결시키는 데이터 도전체를 포함 할 수 있다.
- [0016] 상기 발광 장치는, 상기 베이스층 상에 배치되고, 상기 제1 전극 패턴의 하부에 배치된 격벽을 더 포함하고, 상기 제2 전극 패턴은 상기 베이스층과 직접적으로 면 접촉 할 수 있다.
- [0017] 상기 미세 발광 다이오드는 발광 물질 및 상기 발광 물질을 원기둥 형태로 둘러싸는 보호층을 포함 할 수 있다.
- [0018] 상기 미세 발광 다이오드는 원기둥 모양을 갖되, 윗면에 대응되는 제1 측벽 및 밑면에 대응되는 제2 측벽을 포함 할 수 있다.
- [0019] 상기 발광 물질은 p형 반도체층, 중간층 및 n형 반도체층이 순차적으로 배열된 구조를 갖을 수 있다.
- [0020] 상기 제1 측벽은 상기 p형 반도체층을 노출하고, 상기 제2 측벽은 상기 n형 반도체층을 노출 할 수 있다.
- [0021] 상기 제1 측벽은 상기 제1 도전층과 접촉하고, 상기 제2 측벽은 상기 제2 도전층과 접촉 할 수 있다.
- [0022] 상기 발광 물질은 무기 결정 구조를 갖을 수 있다.
- [0023] 상기 제1 절연층은 상기 제1 도전층을 커버하고, 상기 제2 도전층은 상기 제1 절연층을 커버하고, 상기 제2 도전층은 반사 물질을 포함 할 수 있다.
- [0024] 상기 발광 장치는, 상기 베이스층 상에 배치되고, 상기 제1 및 제2 전극 패턴들의 하부에 배치된 격벽을 더 포함 할 수 있다.
- [0025] 상기 발광 장치는, 상기 베이스층과 상기 제1 도전층 사이에 배치되는 버퍼층, 및 상기 베이스층과 상기 버퍼층 사이에 배치되고 상기 제1 및 제2 미세 발광 다이오드들과 중첩하는 반사층을 더 포함할 수 있다.
- [0026] 상기 과제를 해결하기 위한 본 발명의 다른 실시예에 따른 발광 장치는, 베이스층, 상기 베이스층 상에 배치되되, 상호 평행한 제1 및 제2 미세 전극 라인들을 포함하는 제1 전극 패턴, 상기 베이스층 상에 배치되되, 상기 제1 및 제2 미세 전극 라인들 사이에 배치되는 제3 미세 전극 라인을 포함하는 제2 전극 패턴, 상기 제1 및 제3 미세 전극 라인들 사이에 배치되는 제1 미세 발광 다이오드, 상기 제2 및 제3 미세 전극 라인들 사이에 배치되는 제2 미세 발광 다이오드, 상기 제2 미세 전극 라인 및 상기 제1 및 제2 미세 발광 다이오드들 상에 직접적으로 배치되어 상기 제2 전극 패턴과 상기 제1 및 제2 미세 발광 다이오드들을 전기적으로 연결하는 제1 도전층, 상기 제1 도전층을 커버하고, 상기 제1 및 제2 미세 발광 다이오드들 각각의 일측을 노출시키는 제1 절연층, 및 상기 제1 도전층 상에 배치되되, 상기 제1 전극 패턴 및 상기 제1 및 제2 미세 발광 다이오드들을 전기적으로 연결하는 제2 도전층을 포함 할 수 있다.
- [0027] 상기 발광 장치는, 상기 제2 도전층 상에 배치되되 상기 베이스층과 중첩하는 제2 절연층, 상기 제2 절연층 상에 배치되되 박막 트랜지스터를 포함하는 구동 회로층, 및 상기 제2 절연층들을 관통하여 상기 제2 전극 패턴을 노출시키는 관통홀을 통해 상기 박막 트랜지스터를 상기 제2 전극 패턴과 전기적으로 연결하는 데이터 도전체를 더 포함 할 수 있다.

- [0028] 상기 제2 도전층은, 상기 제1 미세 발광 다이오드를 상기 제2 전극 패턴에 전기적으로 연결하는 제1 서브 도전층, 및 상기 제2 미세 발광 다이오드를 상기 제2 전극 패턴에 전기적으로 연결하는 제2 서브 도전층을 포함하고, 상기 제2 도전층은 상기 제1 전극 패턴과 중첩하지 않을 수 있다.
- [0029] 상기 발광 장치는, 상기 구동 회로층 상에 배치되는 제3 절연층을 더 포함하고, 상기 제2 도전층은 상기 제1 및 제2 미세 발광 다이오드들을 커버하고, 상기 관통홀은 상기 제2 도전층을 관통하여 상기 제2 전극 패턴을 노출시키며, 상기 관통홀의 내측면에서 상기 데이터 도전체는 상기 제3 절연층을 통해 상기 제2 도전층으로부터 절연될 수 있다.
- [0030] 상기 발광 장치는, 상기 베이스층과 상기 제1 및 제2 전극 패턴들 사이에 배치되는 버퍼층, 및 상기 베이스층과 상기 버퍼층 사이에 배치되고 상기 제1 및 제2 미세 발광 다이오드들과 중첩하는 반사층을 더 포함 할 수 있다.
- [0031] 상기 반사층은 상기 제1 및 제2 전극 패턴들과 중첩 할 수 있다.
- [0032] 상기 반사층은 상기 제3 미세 전극 라인과 중첩하되, 상기 제1 및 제2 미세 전극 라인들 중 적어도 하나와 일부 중첩 할 수 있다.
- [0033] 상기 발광 장치는, 상기 베이스층 하부에 배치되되 박막 트랜지스터를 포함하는 구동 회로층, 및 상기 베이스층 및 상기 버퍼층을 관통하여 상기 제2 전극 패턴을 노출시키는 관통홀을 통해 상기 구동 회로층을 상기 제2 전극 패턴에 연결시키는 데이터 도전체를 더 포함 할 수 있다.
- [0034] 상기 발광 장치는, 상기 베이스층 상에 배치되고, 상기 제1 전극 패턴의 하부에 배치된 격벽을 더 포함할 수 있다.
- [0035] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 발광 장치의 제조 방법은, 베이스층 상에 제1 전극 패턴 및 제2 전극 패턴을 포함하는 제1 도전층을 형성하는 단계, 상기 제1 및 제2 전극 패턴들 사이에 미세 발광 다이오드를 배치하여 정렬하는 단계, 상기 제2 전극 패턴 전체와 상기 미세 발광 다이오드의 일측을 덮도록 제1 도전층을 형성하는 단계, 상기 제1 도전층을 덮도록 제1 절연층을 형성하는 단계, 및 상기 제1 절연층을 통해 노출된 상기 미세 발광 다이오드의 타측과, 상기 제1 전극 패턴과, 상기 제1 절연층의 측벽을 덮도록 제2 도전층을 형성하는 단계를 포함한다.
- [0036] 상기 제1 도전층은 상기 미세 발광 다이오드를 상기 베이스층에 고정시키고, 상기 미세 발광 다이오드를 정렬한 직후에 상기 제1 도전층을 형성하며, 상기 미세 발광 다이오드를 정렬하는 단계와 상기 제1 도전층을 형성하는 단계 사이에는 마스크 공정을 포함하는 않을 수 있다.
- [0037] 상기 제1 및 제2 전극 패턴들은 상기 베이스층 상에 직접적으로 형성되고, 상기 베이스층은 평탄한 상면을 가질 수 있다.
- [0038] 상기 베이스층은 반사층을 포함하고, 상기 미세 발광 다이오드는 상기 반사층과 중첩할 수 있다.
- [0039] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0040] 본 발명의 실시예들에 의하면 발광체 및 이와 연결된 전극의 연결 구조에 대한 신뢰성이 확보된 발광 장치를 제공할 수 있다.
- [0041] 나아가, 발광체 및 이와 연결된 전극의 연결 구조에 대한 신뢰성을 확보할 수 있는 발광 장치의 제조 방법을 제공할 수 있다.
- [0042] 본 발명의 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0043] 도 1은 일 실시예에 따른 발광 장치를 나타내는 블록도이다.
- 도 2는 도 1의 발광 장치에 포함된 발광 유닛의 일 예를 나타내는 회로도이다.
- 도 3은 도 2의 발광 유닛의 일 예를 나타내는 평면도이다.

도 4는 도 3의 A-A' 선을 따라 자른 단면도이다.

도 5는 도 3의 발광 소자에 포함된 미세 발광 다이오드의 일 예를 나타내는 도면이다.

도 6은 도 2의 발광 유닛의 일 예를 나타내는 단면도이다.

도 7 내지 도 10은 도 2의 발광 유닛의 다양한 실시예들을 나타내는 단면도들이다.

도 11은 도 2의 발광 유닛의 일 예를 나타내는 평면도이다.

도 12는 도 11의 B-B' 선을 따른 단면도이다.

도 13 내지 도 19는 도 11의 발광 유닛의 다양한 실시예들을 나타내는 단면도이다.

도 20a 내지 도 20e는 도 1의 발광 장치를 제조하는 방법을 설명하는 도면들이다.

발명을 실시하기 위한 구체적인 내용

- [0044] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0045] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0046] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.
- [0047] 이하, 첨부된 도면을 참고로 하여 본 발명의 실시예들에 대해 설명한다.
- [0048] 도 1은 일 실시예에 따른 발광 장치를 나타내는 블록도이다.
- [0049] 도 1을 참조하면, 발광 장치(1)는 발광 패널(10)(또는, 표시 패널, 표시부) 및 발광 패널(10)을 구동하는 패널 구동부를 포함할 수 있다.
- [0050] 여기서, 발광 장치(1)는 화상을 구현하는 장치 뿐만 아니라, 특정 패턴의 광을 제공하는 장치를 포함하는 개념일 수 있다.
- [0051] 발광 패널(10)은 제1 내지 제n(단, n은 양의 정수) 주사선들(SL1 내지 SLn), 제1 내지 제m(단, m은 양의 정수) 데이터선들(DL1 내지 DLm), 및 발광 유닛(LU)을 포함할 수 있다. 발광 유닛(LU)은 제1 내지 제n 주사선들(SL1 내지 SLn) 및 제1 내지 제m 데이터선들(DL1 내지 DLm)이 교차하는 영역에 배치될 수 있다.
- [0052] 발광 유닛(LU)은 일 프레임 주기 내에서 변동되거나 유지되는 전압 레벨을 갖는 제1 전원(QVSS) 및 제2 전원(QVDD)에 연결되어 동시 발광 방식으로 구동될 수 있다. 발광 유닛(LU)에 대해서는 도 2를 참조하여 후술하기로 한다.
- [0053] 패널 구동부는 주사 구동부(20), 데이터 구동부(30), 전원 공급부(40) 및 타이밍 제어부(50)를 포함할 수 있다.
- [0054] 주사 구동부(20)은 제1 제어 신호(CTL1)에 기초하여 주사 신호를 생성하고, 주사 신호를 제1 내지 제n 주사선들(SL1 내지 SLn)을 통해 발광 유닛(LU)에 제공할 수 있다. 여기서, 제1 제어 신호(CTL1)는 타이밍 제어부(50)로부터 제공될 수 있다.
- [0055] 데이터 구동부(30)는 제2 제어 신호(CTL2)에 기초하여 디지털 형식의 영상 데이터를 아날로그 형식의 데이터 신호로 변환하고, 데이터 신호를 제1 내지 제m 데이터선들(DL1 내지 DLm)을 통해 발광 유닛(LU)에 제공할 수 있다. 여기서, 제2 제어 신호(CTL2)는 타이밍 제어부(50)로부터 제공될 수 있다.
- [0056] 전원 공급부(40)는 제3 제어 신호(CTL3)에 기초하여 제1 전원(QVSS)(또는, 제1 전원전압) 및 제2 전원(QVDD)(또

는, 제2 전원전압)을 발광 유닛(LU)에 제공할 수 있다. 제1 전원(QVSS) 및/또는 제2 전원(QVDD)은 일 프레임 주기 내에서 변동되거나 유지되는 전압 레벨을 갖을 수 있다. 예를 들어, 전원 공급부(40)는 입력 전압으로부터 다양한 전압 레벨을 갖는 출력 전압들을 생성하는 DC-DC 컨버터, 및 제3 제어 신호(CNT3)에 기초하여 출력 전압들 중 하나를 제1 전원(QVSS)의 전압 레벨(또는, 제2 전원(QVDD)의 전압 레벨)로서 선택하는 스위치를 포함할 수 있다.

[0057] 타이밍 제어부(50)는 주사 구동부(20), 데이터 구동부(30), 및 전원 공급부(40)를 제어할 수 있다. 예를 들어, 타이밍 제어부(50)는 시스템 보드와 같은 외부 회로로부터 제어 신호(CTL)를 수신하고, 제어 신호(CTL)에 기초하여 제1 내지 제3 제어 신호들(CTL1 내지 CTL3)을 생성할 수 있다. 제1 제어 신호(CTL1)는 주사 개시 신호, 주사 클럭 신호 등을 포함할 수 있다. 제2 제어 신호(CTL2)는 수평 개시 신호, 로드 신호, 영상 데이터 등을 포함할 수 있다. 제3 제어 신호(CTL3)는 제1 전원(QVSS) 및 제2 전원(QVDD)의 전압 레벨을 제어하기 위한 스위치 제어 신호 등을 포함할 수 있다. 타이밍 제어부(50)는 입력 영상 데이터에 기초하여 발광 패널(10)의 동작 조건에 맞는 영상 데이터를 생성하여 데이터 구동부(30)에 제공할 수 있다.

[0058] 도 2는 도 1의 발광 장치에 포함된 발광 유닛의 일 예를 나타내는 회로도이다.

[0059] 도 2를 참조하면, 발광 유닛(LU)은 발광 다이오드(LD)(또는, 발광 소자), 제1 스위칭 소자(T1)(또는, 제1 트랜지스터, 구동 트랜지스터), 제2 스위칭 소자(T2)(또는, 제2 트랜지스터, 스위칭 트랜지스터), 제3 스위칭 소자(T3)(또는, 제3 트랜지스터, 발광 트랜지스터) 및 제1 커패시터(C1)(또는, 저장 커패시터)를 포함할 수 있다. 발광 유닛(LU)은 제i 번째 행 및 제j 번째 열에 위치할 수 있다(단, i는 n보다 작거나 같은 양의 정수이고, j는 m과 같거나 작은 양의 정수임).

[0060] 제1 스위칭 소자(T1), 제2 스위칭 소자(T2) 및 제3 스위칭 소자(T3)는 박막 트랜지스터일 수 있다. 예를 들어, 제1 스위칭 소자(T1), 제2 스위칭 소자(T2) 및 제3 스위칭 소자(T3) 각각은 PMOS 트랜지스터일 수 있으나, 이에 제한되는 것은 아니다. 다른 예로, 제1 내지 제3 스위칭 소자들(T1-T3) 중 적어도 하나는 NMOS 트랜지스터일 수 있다. 이하에서는, 설명의 편의상, 제1 스위칭 소자(T1), 제2 스위칭 소자(T2) 및 제3 스위칭 소자(T3)는 PMOS 트랜지스터인 경우를 예시로 설명하기로 한다.

[0061] 제1 스위칭 소자(T1)는 제2 전원(QVDD)이 제공되는 제2 전원선에 연결된 제1 전극, 제2 노드(N2)에 연결된 제2 전극, 및 제1 노드(N1)에 연결된 제1 게이트 전극을 포함할 수 있다. 여기서, 제2 전원(QVDD)은 발광 유닛(LU)의 구동에 필요한 전원일 수 있다.

[0062] 제2 스위칭 소자(T2)는 제j 데이터선과 연결되어 제j 데이터 신호(D[j])를 제공받는 제1 전극, 제1 노드(N1)에 연결되는 제2 전극, 제i 주사선과 연결되어 제i 주사 신호(S[i])를 수신하는 게이트 전극을 포함할 수 있다.

[0063] 제3 스위칭 소자(T3)는 제2 노드(N2)에 연결된 제1 전극, 발광 다이오드(LD)의 일 전극에 연결되는 제2 전극, 및 발광 제어선과 연결되어 발광 제어 신호(EM)를 제공받는 게이트 전극을 포함할 수 있다. 여기서, 발광 제어 신호(EM)는 도 1을 참조하여 설명한 주사 구동부(20)(또는, 별도의 발광 제어 구동부)로부터 별도의 발광 제어 선(미도시)을 통해 발광 유닛(LU)에 제공될 수 있다.

[0064] 제1 커패시터(C1)는 제2 전원(QVDD)이 제공되는 제2 전원선과 제1 노드(N1) 사이에 위치할 수 있다.

[0065] 발광 다이오드(LD)는 제1 스위칭 소자(T1)를 통해 흐르는 구동 전류에 기초하여 발광할 수 있다. 일 실시예에서, 발광 다이오드(LD)는 제3 노드(N3)에 연결된 제1 다이오드 전극 및 제1 전원선에 연결된 제2 다이오드 전극을 포함할 수 있다. 발광 다이오드(LD)은 제1 다이오드 전극으로부터 제2 다이오드 전극으로 흐르는 전류에 기초하여 발광할 수 있다.

[0066] 발광 다이오드(LD)는 미세 발광 다이오드(NLD)를 포함하거나, 미세 발광 다이오드(NLD)로 구성될 수 있다.

[0067] 서로 대향하는 두 전극들 사이에 무기 결정 구조를 갖는 발광 물질이 배치되고, 발광 물질에 특정 방향으로 전계가 형성되는 경우, 발광 물질이 특정 극성으로 정렬되어, 미세 발광 다이오드(NLD)가 형성될 수 있다. 미세 발광 다이오드(NLD)에 대해서는 도 3을 참조하여 후술하기로 한다.

[0068] 한편, 도 2에서, 발광 유닛(LU)(또는, 발광 유닛(LU)의 구동 회로)은 3개의 스위칭 소자와 1개의 커패시터를 포함하는 것으로 도시되어 있으나, 이는 예시적인 것으로, 이에 제한되는 것은 아니다. 즉, 발광 유닛(LU)은 다른 스위칭 소자들, 회로소자들을 더 포함하거나, 포함하지 않을 수 있다.

[0069] 도 3은 도 2의 발광 유닛의 일 예를 나타내는 평면도이다. 도 4는 도 3의 A-A'선을 따라 자른 단면도이다. 도 5

는 도 3의 발광 소자에 포함된 미세 발광 다이오드의 일 예를 나타내는 도면이다. 도 6은 도 2의 발광 유닛의 일 예를 나타내는 단면도이다.

- [0070] 도 3에는, 발광 유닛(LU)의 평면상 구조에서 발광 다이오드(LD)가 형성되는 일부 영역이 도시되어 있다.
- [0071] 도 3 내지 도 6을 참조하면, 발광 유닛(LU)는 기판(100)(또는, 베이스층) 및 발광 다이오드층(300)을 포함할 수 있다. 또한, 발광 유닛(LU)은 기판(100) 및 발광 다이오드층(300) 사이에 버퍼층(200)을 더 포함할 수 있다.
- [0072] 기판(100)은 투명한 유리 또는 플라스틱으로 이루어질 수 있다. 즉, 기판(100)은 광투과성 재질로 형성될 수 있다.
- [0073] 기판(100) 상에 버퍼층(200)이 배치될 수 있다. 버퍼층(200)은 실질적으로 평탄한 상부면을 가질 수 있다. 이 경우, 발광 다이오드(LD)의 전극들(ED1, ED2)이 평탄면 상에 배치될 수 있다. 버퍼층(200)은 생략될 수도 있다.
- [0074] 제1 다이오드 전극(ED1)(또는, 제1 전극 패턴) 및 제2 다이오드 전극(ED2)(또는, 제2 전극 패턴)은 버퍼층(200)(또는, 기판(100)) 상에 배치(또는, 적층)될 수 있다. 제1 및 제2 다이오드 전극들(ED1, ED2)은 하나의 도전층(예를 들어, 제1 도전층)으로 하나의 마스크 공정을 통해 형성될 수 있다.
- [0075] 마스크 공정이란, 제조하고자 하는 패턴을 형성하는 물질층 형성 공정, 물질층 상에 감광성 물질 도포 공정, 감광성 물질 상에 일부 영역에서 광을 차단하는 마스크를 이용하여 노광하는 노광 공정, 노광 패턴에 따라 감광성 물질의 일부를 제거하는 제거(현상) 공정, 상부로 드러난 제조하고자 하는 패턴을 형성하는 물질층의 일부를 제거하는 제거(식각) 공정, 잔류하는 감광성 물질을 제거하는 제거 공정 중 적어도 일부를 포함하는 일련의 공정일 수 있다.
- [0076] 상술한 여러 단계 중 일부가 생략되더라도, 광을 차단하는 마스크를 이용하여 노광하는 공정이 포함되는 경우, 하나의 마스크 공정으로 정의될 수 있다. 예를 들면, 제조하려고 하는 패턴 자체가 감광성 물질로 형성된 경우, 감광성 물질 도포, 노광, 현상의 세 단계에 의하여 원하는 패턴을 형성할 수 있으며, 이 또한 하나의 마스크 공정으로 정의될 수 있다.
- [0077] 제1 및 제2 다이오드 전극들(ED1, ED2)은 발광 다이오드(LD)의 전극들을 구성할 수 있다. 예를 들어, 제1 다이오드 전극(ED1)은 발광 다이오드(LD)의 애노드 전극이고, 제2 다이오드 전극(ED2)은 발광 다이오드(LD)의 캐소드 전극일 수 있다. 다른 예로, 제1 다이오드 전극(ED1)은 발광 다이오드(LD)의 캐소드 전극이고, 제2 다이오드 전극(ED2)은 발광 다이오드(LD)의 애노드 전극일 수 있다.
- [0078] 제1 다이오드 전극(ED1) 및 제2 다이오드 전극(ED2)은 후술하는 구동 회로층(400)(예를 들어, 트랜지스터) 또는 회로층(400) 상부의 도전층(예를 들어, 전원선)에 연결되어 제1 전원(QVSS) 및 제2 전원(QVDD)을 각각 제공할 수 있다.
- [0079] 도 3에 도시된 바와 같이, 제1 다이오드 전극(ED1) 및 제2 다이오드 전극(ED2) 각각은 미세 전극 라인들(NEL1~NEL8)(또는, 미세 라인들, 전극 라인들)을 포함할 수 있다. 미세 전극 라인들(NEL1~NEL8)은 제1 영역(A1) 내에서 상호 평행하게 배치되고, 여기서, 제1 영역(AA)은 제1 다이오드 전극(ED1)의 본체부(또는, 분기부) 및 제2 다이오드 전극(ED2)의 본체부 사이의 영역일 수 있다. 미세 전극 라인들(NEL1~NEL8)은, 후술하는 미세 발광 다이오드(NLD)의 크기(예를 들어, 폭 0.5 μ m 이하, 길이 3 μ m 이하)에 대응하여, 0.5 μ m 이하의 두께를 가지고, 미세 전극 라인들(NEL1~NEL8) 간의 간격은 5 μ m 이하일 수 있다.
- [0080] 예를 들면, 제1 다이오드 전극(ED1)은 서로 평행하게 연장된 홀수번째 미세 전극 라인들(NEL1, NEL3, NEL5, NEL7)을 포함하고, 제2 다이오드 전극(ED2)은 서로 평행하게 연장된 짝수번째 미세 전극 라인들(NEL2, NEL4, NEL6, NEL8)을 포함할 수 있다. 제1 내지 제8 미세 전극 라인들(NEL1~NEL8)이 특정 방향으로 순차적으로 배열됨에 따라, 짝수번째 미세 전극 라인들(NEL2, NEL4, NEL6, NEL8)(즉, 제2 다이오드 전극(ED2)에 포함된 미세 전극 라인들)은 홀수번째 미세 전극 라인들(NEL1, NEL3, NEL5, NEL7)(즉, 제1 다이오드 전극(ED1)에 포함된 미세 전극 라인들) 사이에 배치될 수 있다.
- [0081] 홀수번째 미세 전극 라인들(NEL1, NEL3, NEL5, NEL7)은 서로 전기적으로 연결될 수 있다. 유사하게, 짝수번째 미세 전극 라인들(NEL2, NEL4, NEL6, NEL8)은 서로 전기적으로 연결될 수 있다.
- [0082] 제1 및 제2 다이오드 전극들(ED1, ED2) 각각은 반사형 전극, 반투과형 전극 또는 투과형 전극일 수 있다. 예를 들어, 제1 및 제2 다이오드 전극들(ED1, ED2) 각각은 몰리브덴(Mo), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 텅스

텐(W), 구리(Cu)을 포함하는 금속 중 일부로 형성되거나, 전도성 산화물 및 전도성 중합체들을 포함한 다양한 전도성 재료로 형성될 수 있다.

- [0083] 한편, 도 3에서 제1 및 제2 다이오드 전극들(ED1, ED2) 각각이 4개의 미세 전극 라인들을 포함하는 것으로 도시되어 있으나, 이는 예시적인 것으로, 이에 제한되는 것은 아니다. 예를 들어, 제1 및 제2 다이오드 전극들(ED1, ED2) 각각은 3개 이하 또는 5개 이상의 미세 전극 라인들을 포함할 수 있다.
- [0084] 미세 발광 다이오드(NLD)는, 기판(100) 상에서, 제1 다이오드 전극(ED1)과 제2 다이오드 전극(ED2) 사이에 배치될 수 있다.
- [0085] 예를 들어, 제1 미세 발광 다이오드(NLD1)는 제1 다이오드 전극(ED1)의 제1 미세 전극 라인(NEL1)과 제2 다이오드 전극(ED2)의 제2 미세 전극 라인(NEL2) 사이에 배치되되, 제2 미세 전극 라인(NEL2)이 연장하는 방향을 따라 반복적으로 배치될 수 있다. 여기서, 제1 미세 발광 다이오드(NLD1)는 제1 및 제2 미세 전극 라인들(NEL1, NEL2) 사이에 배치되는 미세 발광 다이오드들을 총칭할 수 있다. 유사하게, 제2 미세 발광 다이오드(NLD2)는 제1 다이오드 전극(ED1)의 제3 미세 전극 라인(NEL3)과 제2 다이오드 전극(ED2)의 제2 미세 전극 라인(NEL2) 사이에 배치되되, 제2 미세 전극 라인(NEL2)이 연장하는 방향을 따라 반복적으로 배치될 수 있다. 여기서, 제2 미세 발광 다이오드(NLD2)는 제2 및 제3 미세 전극 라인들(NEL2, NEL3) 사이에 배치되는 미세 발광 다이오드들을 총칭할 수 있다. 즉, 제 i 미세 전극 라인(NEL i)과 제 $i+1$ 미세 전극 라인(NEL $i+1$) 사이에 제 i 미세 발광 다이오드(NLD i)가 배치될 수 있다.
- [0086] 도 5에 도시된 바와 같이, 미세 발광 다이오드(NLD)는 발광 물질(EC) 및 보호층(CS)을 포함할 수 있다.
- [0087] 발광 물질(EC)은 무기 결정 구조를 가지며, 보호층(CS)에 의하여 둘러싸인 원기둥 모양의 형태로 형성될 수 있다. 발광 물질(EC)은 전류가 흐름에 따라 자외광으로부터 가시광까지의 파장 영역에 속하는 소정 파장의 광을 방출할 수 있다.
- [0088] 발광 물질(EC)은 p형 반도체층, 중간층 및 n형 반도체층이 순차적으로 배열된 구조를 가질 수 있다.
- [0089] p형 반도체층은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ (단, $0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료를 포함하며, 예를 들어, 반도체 재료는, GaN, AlN, AlGa N , InGa N , InN, InAlGa N , AlIn N 등에서 선택될 수 있고, Mg, Zn, Ca, Sr, Ba 등의 p형 도펀트를 포함할 수 있다.
- [0090] n형 반도체층은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ (단, $0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료를 포함하며, 예를 들어, 반도체 재료는, GaN, AlN, AlGa N , InGa N , InN, InAlGa N , AlIn N 등에서 선택될 수 있으며, Si, Ge, Sn 등의 n형 도펀트를 포함할 수 있다.
- [0091] 중간층은 전자와 정공이 재결합되는 영역으로, 전자와 정공이 재결합함에 따라 낮은 에너지 준위로 천이하며, 그에 상응하는 파장을 가지는 빛을 생성할 수 있다. 중간층은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 가지는 반도체 재료를 포함하여 형성할 수 있으며, 단일 양자 우물 구조 또는 다중 양자 우물 구조(MQW: Multi Quantum Well)로 형성될 수 있다. 또한, 중간층은 양자선(Quantum wire) 구조 또는 양자점(Quantum dot) 구조를 가질 수도 있다.
- [0092] 보호층(CS)은 원기둥 모양으로 형성된 발광 물질(EC)의 측면을 감싸는 모양으로 형성되고, 내부에 배치된 발광 물질(EC)을 보호하며, 발광 물질(EC)의 형태를 유지시킬 수 있다. 또한, 보호층(CS)은 절연 물질로 이루어져, 발광 물질(EC)이 의도하지 않은 구성과 전기적으로 연결되는 것을 차단할 수 있다.
- [0093] 보호층(CS)은 원기둥 모양으로 형성된 발광 물질(EC)의 곡면형 측벽을 감싸도록 형성되므로, 발광 물질(EC)의 제1 측벽(SA1)(즉, 원형의 제1 측벽(SA1)) 및 제2 측벽(SA2)(즉, 제1 측벽(SA1)의 맞은편에 배치된 제2 측벽(SA2))은 외부로 노출될 수 있다. 즉, 미세 발광 다이오드(NLD)는 원기둥 모양을 갖되, 발광 물질(EC)의 제1 측벽(SA1)이 노출된 일 면과, 발광 물질(EC)의 제2 측벽(SA2)이 노출된 타면을 가질 수 있다.
- [0094] 발광 물질(EC)을 구성하는 p형 반도체층, 중간층 및 n형 반도체층이 순차 배열됨에 따라, 제1 측벽(SA1) 및 제2 측벽(SA2)은 p형 반도체층 및 상기 n형 반도체층에 각각 대응될 수 있다. 예를 들어, 제1 측벽(SA1)으로 p형 반도체층(또는 n형 반도체층)이 노출되고, 제2 측벽(SA2)으로 n형 반도체층(또는 p형 반도체층)이 노출될 수 있다.
- [0095] 미세 발광 다이오드(NLD)는 특수 용액에 섞인 상태로 제1 및 제2 다이오드 전극들(ED1, ED2) 사이에 분사될 수 있고, 특수 용액을 자연 건조시키거나 제거함으로써 미세 발광 다이오드(NLD)가 버퍼층(200)(또는, 기판(100))

상에 배치될 수 있다. 제1 및 제2 다이오드 전극들(ED1, ED2)과 버퍼층(200) 간의 단차에 의하여 미세 발광 다이오드(NLD)는 제1 및 제2 다이오드 전극들(ED1, ED2) 사이에 배치될 수 있다.

[0096] 이후, 제1 및 제2 다이오드 전극들(ED1, ED2)(또는, 미세 전극 라인들(NEL1~NEL8)) 사이에 특정 방향으로 전계가 형성되는 경우, 미세 발광 다이오드(NLD)는 특정 방향으로 정렬될 수 있다. 예를 들어, 제1 다이오드 전극(ED1) 및 제2 다이오드 전극(ED2)에 전압이 인가되는 경우, 미세 발광 다이오드(NLD)의 제1 측벽(SA1)이 제2 다이오드 전극(ED2)(또는, 제2 미세 전극 라인(NEL2))을 향하고, 미세 발광 다이오드(NLD)의 제2 측벽(SA2)이 제1 다이오드 전극(ED1)(또는, 제1 미세 전극 라인(NEL1) 또는 제3 미세 전극 라인(NEL3))을 향하도록, 미세 발광 다이오드(NLD)가 정렬될 수 있다.

[0097] 제1 브릿지 패턴(BP1)(또는, 제1 콘택, 제2 도전층)은 제2 다이오드 전극(ED2)과 제1 및 제2 미세 발광 다이오드들(NLD1, NLD2) 상에 직접적으로 형성(또는, 적층)될 수 있다. 제1 브릿지 패턴(BP1)은, 단면도 상에서, 제2 다이오드 전극(ED2)(또는, 제2 미세 전극 라인(NEL2))과 중첩하고(또는, 제2 다이오드 전극(ED2)을 덮고), 제1 및 제2 미세 발광 다이오드들(NLD1, NLD2)과 일부 중첩할 수 있다(또는, 제1 및 제2 미세 발광 다이오드들(NLD1, NLD2)의 일측을 덮을 수 있다). 즉, 제1 브릿지 패턴(BP1)은, 단면도 상에서, 짝수번째 미세 전극 라인과 중첩하고, 이에 인접한 미세 발광 다이오드들과 일부 중첩할 수 있다.

[0098] 제1 브릿지 패턴(BP1)은 제1 및 제2 미세 발광 다이오드들(NLD1, NLD2)과 일부 중첩하여 형성되어, 제1 및 제2 미세 발광 다이오드들(NLD1, NLD2)을 버퍼층(200)(또는, 기판(100)) 상에 고정할 수 있다.

[0099] 제1 브릿지 패턴(BP1)은 도전성 물질로 형성되고, 제1 및 제2 미세 발광 다이오드들(NLD1, NLD2)을 제2 다이오드 전극(ED2)에 전기적으로 연결할 수 있다. 예를 들어, 제1 브릿지 패턴(BP1)은 제1 및 제2 미세 발광 다이오드들(NLD1, NLD2)의 제1 측벽(SA1)과 제2 미세 전극 라인(NEL2) 사이에 채워져 제1 및 제2 미세 발광 다이오드들(NLD1, NLD2)과 제2 미세 전극 라인(NEL2)을 전기적으로 연결할 수 있다.

[0100] 한편, 미세 전극 라인들(NEL1~NEL8)과 미세 발광 다이오드(NLD)이 상호 동일하거나 유사한 두께를 가지는 경우, 제1 브릿지 패턴(BP1)이 형성되는 단차가 최소화될 수 있고, 단차에 기인한 제1 브릿지 패턴(BP1)의 단선이 최소화될 수 있다.

[0101] 일 실시예에서, 제1 브릿지 패턴(BP1)은 불투명한 금속 물질로 형성될 수 있다. 이 경우, 제1 및 제2 미세 발광 다이오드들(NLD1, NLD2)에서 방출된 광이 상부로 나가는 경로는, 제1 브릿지 패턴(BP1)(및 적어도 일부가 제1 브릿지 패턴(BP1)과 중첩하는 제2 브릿지 패턴(BP2))에 의해 차단될 수 있다. 따라서, 발광 유닛(LU)(또는, 발광 패널(10), 발광 장치(1))은 배면(또는, 도 4를 기준으로 하측 방향)으로 발광하거나, 배면 발광 구조를 가질 수 있다.

[0102] 다른 실시예에서, 제1 브릿지 패턴(BP1)은 투명한 도전성 물질로 형성될 수 있다. 이 경우, 제1 및 제2 미세 발광 다이오드들(NLD1, NLD2)에서 방출된 광이 상부로 나가는 경로가 충분히 확보될 수 있고, 발광 유닛(LU)(또는, 발광 패널(10), 발광 장치(1))은 전면(또는, 도 4를 기준으로 상측 방향)으로 발광하거나, 전면 발광 구조를 가질 수도 있다.

[0103] 즉, 발광 유닛(LU)의 발광 방향에 따라, 제1 브릿지 패턴(BP1)(및 제2 브릿지 패턴(BP2))은 불투명 금속 물질 또는 투명 도전성 물질로 구성될 수 있다.

[0104] 제1 패시베이션층(310)(또는, 제1 절연층)은 제1 브릿지 패턴(BP1) 상에 형성(또는, 적층)될 수 있다. 제1 패시베이션층(310)은 무기절연물질로 이루어질 수 있으며, 제1 브릿지 패턴(BP1)과 후술할 제2 브릿지 패턴(BP2)을 절연시킬 수 있다.

[0105] 제1 패시베이션층(310)은 제1 브릿지 패턴(BP1)과 중첩하고, 제1 브릿지 패턴(BP1) 전체를 커버할 수 있다. 이 경우, 제1 브릿지 패턴(BP1)이 외부로 노출되지 않을 수 있다.

[0106] 제1 패시베이션층(310)은 제1 및 제2 미세 발광 다이오드들(NLD1, NLD2)과 일부 중첩하고, 제1 및 제2 미세 발광 다이오드들(NLD1, NLD2)의 일부(예를 들어, 제1 및 제2 미세 발광 다이오드들(NLD1, NLD2)의 제2 측벽(SA2))를 노출시킬 수 있다.

[0107] 제2 브릿지 패턴(BP2)(또는, 제2 콘택, 제3 도전층)은, 단면도 상에서, 제1 다이오드 전극(ED1)(또는, 제1 및 제3 미세 전극 라인들(NEL1, NEL3)) 및 제1 및 제2 미세 발광 다이오드들(NLD1, NLD2) 상에 배치(또는, 적층)될 수 있다.

- [0108] 제2 브릿지 패턴(BP2)은, 제1 브릿지 패턴(BP1)과 유사하게, 도전성 물질로 구성되고, 제1 다이오드 전극(ED1)과 제1 및 제2 미세 발광 다이오드들(NLD1, NLD2)을 전기적으로 연결할 수 있다. 예를 들어, 제2 브릿지 패턴(BP2)은, 제1 및 제2 미세 발광 다이오드들(NLD1, NLD2)의 제2 측벽(SA2)과 제1 다이오드 전극(ED1)(또는, 제1 및 제3 미세 전극 라인들(NEL1, NEL3)) 사이에 채워져, 제1 및 제2 미세 발광 다이오드들(NLD1, NLD2)을 제1 다이오드 전극(ED1)에 전기적으로 연결할 수 있다.
- [0109] 제2 브릿지 패턴(BP2)은 제1 브릿지 패턴(BP1)을 구성하는 물질과 동일한 물질로 구성되고, 기판(100)의 두께 방향으로 제1 브릿지 패턴(BP1)의 적어도 일부와 중첩할 수 있다. 즉, 제2 브릿지 패턴(BP2)은 제1 패시베이션층(310)의 측벽을 적어도 부분적으로 덮고, 제1 패시베이션층(310)의 상면에도 배치될 수 있다. 제1 패시베이션층(310)에 의해 제1 및 제2 브릿지 패턴들(BP1, BP2)은 상호 절연될 수 있다.
- [0110] 예를 들어, 제1 브릿지 패턴(BP1)이 불투명한 금속 물질로 구성되는 경우, 제2 브릿지 패턴(BP2)은 불투명한 금속 물질로 구성될 수 있다. 제2 브릿지 패턴(BP2)이 제1 브릿지 패턴(BP1)의 적어도 일부와 중첩함에 따라, 제1 및 제2 미세 발광 다이오드들(NLD1, NLD2)에서 방출된 광이 상부로 나가는 경로는, 제1 및 제2 브릿지 패턴들(BP1, BP2)에 의해 차단될 수 있다. 따라서, 발광 유닛(LU)(또는, 발광 패널(10), 발광 장치(1))은 배면으로 발광할 수 있다.
- [0111] 다른 예로, 제1 브릿지 패턴(BP1)이 투명 도전성 물질로 구성되는 경우, 제2 브릿지 패턴(BP2)은 투명 도전성 물질로 구성될 수 있다. 이 경우, 발광 유닛(LU)(또는, 발광 패널(10), 발광 장치(1))은 전면으로 발광할 수 있다.
- [0112] 제2 패시베이션층(320)(또는, 제2 절연층)은, 평면도 상 기판(100)의 형상 및 면적과 동일하거나 유사한 형상 및 면적을 가지고, 단면도 상 제2 브릿지 패턴(BP2) 상에 배치될 수 있다. 제2 패시베이션층(320)은, 제1 패시베이션층(310)과 유사하게, 무기절연물질로 구성되고, 하부에 배치된 구성요소들(예를 들어, 제2 브릿지 패턴(BP2) 등)을 외부로부터 보호할 수 있다.
- [0113] 도 6에 도시된 바와 같이, 제2 패시베이션층(320)의 상면은 대체적으로 평탄한 평탄화층 일 수 있다.
- [0114] 한편, 제2 패시베이션층(320) 상에는 구동 회로층(400)(또는, 상부 구동 회로층)이 형성될 수 있다. 구동 회로층(400)은 트랜지스터(TR)(즉, 도 2를 참조하여 설명한 제1 내지 제3 트랜지스터들(T1~T3))을 포함할 수 있다.
- [0115] 반도체 패턴(ACT)을 포함하는 반도체층은 제2 패시베이션층(320) 상에 배치될 수 있다. 반도체 패턴(ACT)은 불순물이 도핑되지 않은 채널 영역(ACTa), 불순물이 도핑된 소스 영역(ACTb) 및 드레인 영역(ACTc)을 포함할 수 있다. 소스 영역(ACTb)은 채널 영역(ACTa)의 일 측에 위치하며, 소스 전극(미도시)과 전기적으로 연결되고, 드레인 영역(ACTc)은 채널 영역(ACTa)의 타 측에 위치하며, 드레인 전극(DE)과 전기적으로 연결된다.
- [0116] 제1 무기층(410)(또는, 제1 무기막, 제1 절연층)은 반도체 패턴(ACT)을 포함하는 반도체층 상에 배치될 수 있다. 제1 무기층(410)은 게이트 절연층일 수 있다. 제1 무기층(410)(및 후술하는 제2 무기층(420))은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 등의 무기 절연물질, BCB(BenzoCycloButene), 아크릴계 물질, 및 폴리이미드와 같은 유기 절연 물질로 이루어진 군에서 선택된 어느 하나 또는 하나 이상의 물질을 혼합하여 형성할 수 있다.
- [0117] 게이트 전극(GE)을 포함하는 게이트 도전체는 제1 무기막(410) 상에 배치될 수 있다. 게이트 전극(GE)은 반도체 패턴(ACT)과 중첩될 수 있다. 게이트 도전체는 알루미늄 합금을 포함하는 알루미늄(Al) 계열의 금속, 은 합금을 포함하는 은(Ag) 계열의 금속, 구리 합금을 포함하는 구리(Cu) 계열의 금속, 몰리브덴 합금을 포함하는 몰리브덴(Mo) 계열 금속, 크롬(Cr), 티탄(Ti), 및 탄탈륨(Ta) 중 어느 하나 이상을 포함할 수 있다.
- [0118] 제2 무기층(420)(또는, 제2 무기막, 제2 절연층)은 게이트 전극(GE)을 포함하는 게이트 도전체 상에 배치될 수 있다.
- [0119] 소스 전극(미도시) 및 드레인 전극(DE)을 포함하는 데이터 도전체(510)(또는, 도전 패턴, 데이터 패턴, 배선 패턴)은 제2 무기막(420) 상에 배치될 수 있다. 데이터 도전체(510)는 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질로 이루어진 군 중 선택된 하나 이상을 포함할 수 있다.
- [0120] 데이터 도전체(510)와 반도체 패턴(ACT)이 중첩하는 영역에는, 제1 및 제2 무기층들(410, 420)을 관통하여 반도체 패턴(ACT)을 노출시키는 콘택홀이 형성되고, 콘택홀을 통해 데이터 도전체(510)는 반도체 패턴(ACT)과 접촉하며, 트랜지스터의 일 전극(예를 들어, 드레인 전극(DE))을 형성할 수 있다.

- [0121] 데이터 도전체(510)와 제2 다이오드 전극(ED2)(또는, 제2 미세 전극 라인(NEL2))와 중첩하는 영역에는 제1 및 제2 무기층들(410, 420) 및 제2 패시베이션층(420)(및 제1 패시베이션층(410))을 관통하는 제1 콘택홀(CNT1)이 형성되고, 데이터 도전체(510)는 제1 콘택홀(CNT1)을 통해 제2 다이오드 전극(ED2)과 전기적으로 연결될 수 있다.
- [0122] 도 3 내지 도 6을 참조하여 설명한 바와 같이, 발광 유닛(LU)은 배면 발광 구조를 가질 수 있다. 도 20a 내지 도 20e를 참조하여 후술하겠지만, 발광 유닛(LU)의 적층 구조에 따라, 발광 유닛(LU)(및 발광 패널(10))은 보다 심플한 제조 공정을 통해 (예를 들어, 보다 감소된 횡수의 마스크 공정을 통해) 제조될 수 있다.
- [0123] 또한, 발광 유닛(LU)의 배면에 위치하는 기관(100)(및 버퍼층(200))은 상대적으로 평탄하거나 상대적으로 평탄한 하부면을 가짐으로써, 발광 패널(10)의 표시면(즉, 발광 유닛(LU)의 배면)에 기능성 필름(예를 들어, 외광을 차단하는 편광 필름)이 단차없이 부착될 수 있다. 참고로, 발광 패널이 전면 발광 구조를 가지는 경우, 기능성 필름이 발광 패널의 전면(또는, 상면)에 부착되나, 상면을 구성하는 제2 패시베이션층(320)이 상대적으로 불균일한 두께를 가지고 또한 제2 패시베이션층(320)의 상면이 상대적으로 평탄하지 않으므로, 이에 기인한 얼룩 현상(예를 들어, 표시 영상에 원하지 않는 얼룩이 나타나는 현상)이 발생할 수 있다.
- [0124] 도 7 내지 도 10은 도 2의 발광 유닛의 다양한 실시예들을 나타내는 단면도들이다.
- [0125] 먼저 도 7을 참조하면, 발광 유닛(LU_2)은 제2 브릿지 패턴(BP2_1) 및 구동 회로층(400_1)을 포함한다는 점에서, 도 6의 발광 유닛(LU)(또는, 도 4의 발광 유닛(LU))과 상이하다.
- [0126] 제2 브릿지 패턴(BP2_1)은, 도 4를 참조하여 설명한 제2 브릿지 패턴(BP2)과 유사하나, 단면도상 제1 패시베이션층(310)과 중첩하고, 제1 패시베이션층(310)을 완전히 커버할 수 있다.
- [0127] 도 4를 참조하여 설명한 바와 같이, 제2 브릿지 패턴(BP2_1)은 불투명 금속 물질로 구성될 수 있고, 이 경우, 제1 및 제2 미세 발광 다이오드들(NLD1, NLD2)로부터 상면으로 발산되는 광은 제2 브릿지 패턴(BP2)에 의해 차단될 수 있다. 이와 달리, 제2 브릿지 패턴(BP2_1)이 반사 물질로 구성될 수 있고, 이 경우, 발광 유닛(LU)의 배면 발광 효율이 향상될 수 있다. 예를 들어, 반사 물질은 은(Ag), 마그네슘(Mg), 크롬(Cr), 금(Au), 백금(Pt), 니켈(Ni), 구리(Cu), 텅스텐(W), 알루미늄(Al), 알루미늄-리튬(Al-Li), 마그네슘-인듐(Mg-In) 및 마그네슘-은(Mg-Ag)으로 이루어진 군에서 선택된 하나 이상을 포함할 수 있다.
- [0128] 구동 회로층(400_1)은 제3 무기층(430)(또는, 제3 무기막, 제3 절연층)을 더 포함할 수 있다. 제3 무기층(430)은 제2 무기층(420) 상에 배치될 수 있다. 제3 무기층(430)과 제2 다이오드 전극(ED2)(또는, 제2 미세 전극 라인(NEL2))이 중첩하는 중첩 영역에는, 제1 및 제2 무기층들(410, 420), 제1 및 제2 패시베이션층(310, 320) 및 제2 브릿지 패턴(BP2_1)을 관통하여, 제1 브릿지 패턴(BP1)을 노출시키는 제11 콘택홀(CNT11)이 형성될 수 있다. 이 경우, 제3 절연층(430)은 제11 콘택홀(CNT11)의 내측면 전체에 배치되고, 데이터 도전체(510)와 제2 브릿지 패턴(BP2_1)을 상호 절연시킬 수 있다.
- [0129] 즉, 제2 브릿지 패턴(BP2_1)은 불투명 금속 물질(또는, 반사 물질)로 구성되되, 제1 및 제2 미세 발광 다이오드들(NLD1, NLD2)을 기준으로 상부 방향으로의 광의 경로를 모두 차단함으로써, 발광 패널(10)(또는, 발광 유닛(LU))의 배면 발광 효율을 보다 향상시킬 수 있다.
- [0130] 도 8을 참조하면, 발광 유닛(LU_3)은 반사층(500)을 더 포함한다는 점에서, 도 4의 발광 유닛(LU)(또는, 도 6의 발광 유닛(LU))과 상이하다. 발광 유닛(LU_1)은 전면(또는, 상면)으로 발광하며, 도시되지 않았으나, 도 6에 도시된 구동 회로층(400)을 포함할 수 있다.
- [0131] 반사층(500)은 기관(100) 및 버퍼층(200) 사이에 개재될 수 있다. 즉, 발광 패널(10)의 제조 공정에서, 반사층(500)은 기관(100) 상에 형성되고, 버퍼층(200)은 반사층(500) 상에 형성될 수 있다.
- [0132] 반사층(500)은 반사 물질로 구성되고, 예를 들어, 은(Ag), 니켈(Ni), 코발트(Co) 등을 포함하는 반사막으로 구성될 수 있다.
- [0133] 반사층(500)은 제1 및 제2 미세 발광 다이오드들(NLD1, NLD2)과 중첩할 수 있다. 이 경우, 미세 발광 다이오드(NLD)로부터 하부 방향으로 발산되는 광이 반사층(500)에 의해 반사되고, 반사광은 발광 유닛(LU_3)의 상부 방향(예를 들어, 반사 방향(D_{RL}))으로 발산됨으로써, 발광 유닛(LU_3)의 전면 발광 효율이 향상될 수 있다.
- [0134] 일 실시예에서, 반사층(500)은, 평면도 상, 도 3에 도시된 제1 영역(A1)과 중첩하여 배치될 수 있다. 이 경우, 반사층(500)은 제1 미세 전극 라인(NEL1)(및 제8 미세 전극 라인(NEL8))과 일부 중첩하고, 제2 미세 전극 라인

(NEL2)(및 제3 내지 제7 미세 전극 라인들(NEL3~NEL7))과 중첩할 수 있다. 반사층(500)이 발광 유닛(LU)과 중첩하여 배치되는 경우, 미세 발광 다이오드(NLD)로부터 하부 방향으로 발산되는 광이 반사층(500)에 의해 반사되므로 인접 발광 유닛(즉, 발광 유닛(LU_3)에 인접하는 발광 유닛)이 배치되는 영역을 통해 상부 방향으로 발산됨으로써, 원하지 않은 영역(즉, 인접 발광 유닛이 배치된 영역)이 발광 될 수 있다. 따라서, 반사층(500)은 발광 유닛(LU_3)과 일부 중첩하여 배치될 수 있다.

[0135] 반사층(500)이 제1 미세 발광 다이오드(NLD1)(또는, 발광 유닛(LU_3)의 가장자리에 인접하여 배치되는 미세 발광 다이오드(NLD))를 기준으로 돌출된 거리(L1)는, 제1 미세 발광 다이오드(NLD1)가 인접 발광 유닛(또는, 인접 발광 유닛이 배치되는 영역)까지의 거리의 1/2 보다 작을 수 있다.

[0136] 한편, 도 8에서 반사층(500)이 제1 미세 전극 라인(NEL1)과 일부 중첩하는 것으로 도시되었으나, 이에 제한되는 것은 아니다. 예를 들어, 반사층(500)은 두께 방향으로 미세 발광 다이오드(NLD)와 중첩하되, 일부 미세 전극 라인(예를 들어, 제1 미세 전극 라인(NEL1))과는 중첩하지 않을 수 있다.

[0137] 도 9를 참조하면, 발광 유닛(LU_3a)은 구동 회로층(600)을 포함한다는 점에서, 도 4의 발광 유닛(LU)(또는, 도 6의 발광 유닛(LU))과 상이하다.

[0138] 구동 회로층(600)은 기판(100)의 하부에 배치될 수 있다. 구동 회로층(600)은 베이스 기판(610), 반도체층(즉, 반도체패턴(ACT)을 포함하는 반도체층), 제1 무기층(620), 게이트 도전체 및 제2 무기층(630)을 포함할 수 있다. 구동 회로층(600)은, 그 배치 위치를 제외하고, 도 6을 참조하여 설명한 구동 회로층(400)과 실질적으로 동일할 수 있다. 따라서, 중복되는 설명은 반복하지 않기로 한다.

[0139] 발광 패널(10)의 제조 공정에서, 구동 회로층(600)은 먼저 생성되고, 구동 회로층(600)의 상부에 다이오드 전극들(ED1, ED2), 미세 발광 다이오드(NLD), 제1 브릿지 패턴(BP) 등이 순차적으로 형성될 수 있다.

[0140] 제2 무기층(630)과 기판(100) 사이에는 데이터 도전체(710)가 배치 또는 형성되고, 데이터 도전체(710)와 트랜지스터(TR)의 일 전극이 중첩하는 영역에는, 제2 절연층(630)을 관통하여 트랜지스터(TR)의 일 전극을 노출시키는 제2 콘택홀(CNT2)이 형성되며, 데이터 도전체(710)는 제2 콘택홀(CNT2)을 통해 반도체 패턴(ACT)과 접촉하여, 트랜지스터(TR)의 일 전극을 구성할 수 있다. 유사하게, 데이터 도전체(710)와 제2 다이오드 전극(ED2)(또는, 제2 미세 전극 라인(NEL2))와 중첩하는 영역에는 기판(100) 및 버퍼층(200)을 관통하는 제12 콘택홀(CNT12)이 형성되고, 데이터 도전체(710)는 제12 콘택홀(CNT12)을 통해 제2 다이오드 전극(ED2)와 전기적으로 연결될 수 있다.

[0141] 발광 유닛(LU_3a)이 전면으로 발광하는 경우, 베이스 기판(610), 제1 절연층(620), 제2 절연층(620), 기판(100) 및 버퍼층(200) 중 선택된 하나는 반사 물질을 포함할 수 있다. 이와 달리, 도 8을 참조하여 설명한 반사층(500)이 베이스 기판(610), 제1 절연층(620), 제2 절연층(620), 기판(100) 및 버퍼층(200) 중 선택된 2개 사이에 개재될 수 있다. 예를 들어, 도 8과 유사하게, 기판(100)과 버퍼층(200) 사이에 반사층(500)이 개재되며, 반사층(500)은 평면도 상 발광 유닛(LU_3a)의 일부 영역에만 배치될 수 있다.

[0142] 이와 달리, 발광 유닛(LU_3a)이 후면으로 발광하는 경우, 도 4를 참조하여 설명한 바와 같이, 제1 브릿지 패턴(BP1) 및 제2 브릿지 패턴(BP2)은 불투명 금속 물질 또는 반사 물질로 구성되고, 제2 브릿지 패턴(BP2)은 두께 방향으로 제1 브릿지 패턴(BP1)의 적어도 일부와 중첩할 수 있다.

[0143] 한편, 도 9에서 발광 유닛(LU_3a)은 기판(100)을 포함하는 것으로 도시되어 있으나, 이에 제한되는 것은 아니다. 예를 들어, 기판(100)이 구동 회로층(600)으로 구성되거나, 생략될 수 있다.

[0144] 도 10을 참조하면, 발광 유닛(LU_4)는 격벽(330)을 더 포함한다는 점에서, 도 4의 발광 유닛(LU)(또는, 도 6의 발광 유닛(LU))와 상이하다.

[0145] 격벽(330)은 두께 방향으로 제1 다이오드 전극(ED1)(또는, 제1 및 제3 미세 전극 라인들(NEL1, NEL3))과 중첩하고, 버퍼층(200)과 제1 다이오드 전극(ED1) 사이에 개재될 수 있다. 한편, 격벽(330)은 제2 다이오드 전극(ED2)(또는, 제2 미세 전극 라인(NEL2))과는 중첩하지 않을 수 있다. 제1 브릿지 패턴(BP1) 상에 형성되는 제1 패시베이션층(310)(또는, 높이)은 격벽(330)의 두께와 동일하거나 유사한 두께를 가질 수 있고, 이 경우, 제2 패시베이션층(320)은 보다 균일한 두께를 가지고, 제2 패시베이션층(320)의 상면의 평탄화가 보다 용이해 질 수 있다.

[0146] 발광 패널(10)의 제조 공정에서, 격벽(330)은 버퍼층(200) 상에 배치될 수 있다. 제1 다이오드 전극(ED1)은 격벽(330)의 측벽을 따라 배치될 수 있다. 제1 다이오드 전극(ED1)이 광을 반사하는 물질로 구성되는 경우, 발광

유닛(LU_4)의 전면 발광 효율이 향상될 수 있다. 다만, 이에 제한되는 것은 아니며, 제1 다이오드 전극(ED1) 대신 격벽(330)이 광을 반사하는 물질로 구성될 수도 있다.

[0147] 한편, 도 10에는 격벽(330)이 제1 다이오드 전극(ED1)과 중첩하는 것으로 도시되어 있으나, 이에 제한되는 것은 아니다. 예를 들어, 격벽(330)은 제2 다이오드 전극(ED2)과도 중첩하여 형성될 수 있다. 이 경우, 발광 유닛(LU_4)의 전면 발광 효율이 보다 향상될 수 있다.

[0148] 도 11은 도 2의 발광 유닛의 일 예를 나타내는 평면도이다. 도 12는 도 11의 B-B'선을 따른 단면도이다.

[0149] 도 2, 도 4, 도 11 및 도 12를 참조하면, 발광 유닛(LU_5)은 제1 및 제2 다이오드 전극들(ED1_2, ED2_2)를 포함한다는 점에서, 도 2의 발광 유닛(LU)(또는, 도 4의 발광 유닛(LU))과는 상이하다. 제1 및 제2 다이오드 전극들(ED1_2, ED2_2)는 미세 전극 라인들을 포함하지 않는다는 점에서, 도 2 및 도 4를 참조하여 설명한 제1 및 제2 다이오드 전극들(ED1, ED2)과 상이하다.

[0150] 제1 및 제2 다이오드 전극들(ED1_2, ED2_2)(또는, 전극 패턴들을 포함하는 제1 도전층)은 버퍼층(200)(또는, 기판(100)) 상에 형성될 수 있다.

[0151] 미세 발광 다이오드(NLD)는 버퍼층(200) 상에서 제1 및 제2 다이오드 전극들(ED1_2, ED2_2) 사이에 배치될 수 있다.

[0152] 제3 브릿지 패턴(BP3)(또는, 제1 콘택, 제2 도전층)은 제2 다이오드 전극(ED2_2)과 미세 발광 다이오드(NLD) 상에 직접적으로 형성(또는, 적층)될 수 있다. 제3 브릿지 패턴(BP3)은, 단면도 상에서, 제2 다이오드 전극(ED2)과 일부 중첩하고, 미세 발광 다이오드(NLD)와 일부 중첩할 수 있다.

[0153] 제3 브릿지 패턴(BP3)은 도전성 물질로 형성되고, 미세 발광 다이오드(NLD)를 제2 다이오드 전극(ED2)에 전기적으로 연결할 수 있다.

[0154] 제3 브릿지 패턴(BP3)은 미세 발광 다이오드(NLD)와 일부 중첩하여 형성되어, 미세 발광 다이오드(NLD)를 버퍼층(200)(또는, 기판(100)) 상에 고정시킬 수 있다.

[0155] 제1 패시베이션층(310_1)(또는, 제1 절연층)은 제3 브릿지 패턴(BP3) 상에 형성(또는, 적층)될 수 있다. 제1 패시베이션층(310_1)은 미세 발광 다이오드(NLD)와 일부 중첩하고, 미세 발광 다이오드(NLD)의 적어도 일부(예를 들어, 도 5를 참조하여 설명한 미세 발광 다이오드(NLD)의 제2 측벽(SA2))를 노출시킬 수 있다. 제1 패시베이션층(310_1)은 무기절연물질로 이루어질 수 있으며, 제3 브릿지 패턴(BP3)과 제4 브릿지 패턴(BP4)을 절연시킬 수 있다.

[0156] 제4 브릿지 패턴(BP4)(또는, 제2 콘택, 제2 도전층)은, 단면도 상에서, 제1 다이오드 전극(ED1) 및 미세 발광 다이오드(NLD) 상에 배치(또는, 적층)될 수 있다.

[0157] 제4 브릿지 패턴(BP4)은 도전성 물질로 형성되고, 미세 발광 다이오드(NLD)를 제1 다이오드 전극(ED1)에 전기적으로 연결할 수 있다.

[0158] 도시되지 않았으나, 도 4를 참조하여 설명한 제2 패시베이션층(320)과 유사하게, 제2 패시베이션층(미도시)이 제4 브릿지 패턴(BP4) 상부에 배치될 수 있다. 제2 패시베이션층은 기판(100)의 형상 및 면적과 동일하거나 유사한 형상 및 면적을 가지고, 하부에 배치된 구성요소들을 완전히 커버하여 외부로부터 보호할 수 있다.

[0159] 또한, 발광 유닛(LU_5)은 도 6를 참조하여 설명한 구동 회로층(400)(또는, 상부 구동 회로층)을 포함하며, 배면으로 발광할 수 있다. 다만, 이에 제한되는 것은 아니며, 예를 들어, 발광 유닛(LU_5)은 도 9를 참조하여 설명한 구동 회로층(600)(또는, 하부 구동 회로층)을 포함하며, 전면으로 발광할 수 있다. 또한, 발광 유닛(LU_5)은 도 8을 참조하여 설명한 반사층(500)을 더 포함할 수 있다. 이 경우, 발광 유닛(LU_5)은 전면으로 발광하며, 향상된 전면 발광 효율을 가질 수 있다.

[0160] 상술한 바와 같이, 발광 유닛(LU_5)은 단일의(또는, 하나의 열의) 미세 발광 다이오드(NLD)를 포함하여 구성되고, 배면 발광 구조를 가질 수 있다. 이 경우, 발광 유닛(LU_5)은 보다 심플한 제조 공정을 통해 (예를 들어, 보다 감소된 횟수의 마스크 공정을 통해) 제조될 수 있다.

[0161] 또한, 발광 유닛(LU_5)의 배면에 위치하는 기판(100)(및 버퍼층(200))은 상대적으로 평탄하거나 상대적으로 평탄한 하부면을 가짐으로써, 기능성 필름(예를 들어, 외광을 차단하는 편광 필름)이 단차없이 부착되어 기능성 필름 등에 기인한 얼룩 현상이 발생하지 않을 수 있다.

- [0162] 한편, 도 12는 도 3의 B-B'선을 따른 단면과도 실질적으로 동일할 수 있다. 즉, 도 1 내지 도 6을 참조하여 설명한 발광 유닛(LU)의 일 측은 도 12를 참조하여 설명한 단면 구조를 가질 수 있다.
- [0163] 도 13 내지 도 19는 도 11의 발광 유닛의 다양한 실시예들을 나타내는 단면도이다.
- [0164] 도 13을 참조하면, 발광 유닛(LU_6)은 제1 패시베이션층(310_2)을 포함한다는 점에서, 도 12의 발광 유닛(LU_5)과 상이하다.
- [0165] 제1 패시베이션층(310_2)은 도 12를 참조하여 설명한 제1 패시베이션층(310_1)과 실질적으로 동일할 수 있다. 따라서, 중복되는 설명은 반복하지 않기로 한다.
- [0166] 제1 패시베이션층(310_2)은, 단면도 상에서, 미세 발광 다이오드(NLD), 제3 브릿지 패턴(BP3) 및 제2 다이오드 전극(ED2_2) 상에 배치될 수 있다. 제1 패시베이션층(310_2)은 두께 방향으로 제2 다이오드 전극(ED2_2)과 중첩하고, 제2 다이오드 전극(ED2_2)을 커버할 수 있다.
- [0167] 도 14를 참조하면, 발광 유닛(LU_7)은 제4 브릿지 패턴(BP4_1)을 포함한다는 점에서, 도 13의 발광 유닛(LU_6)과 상이하다.
- [0168] 제4 브릿지 패턴(BP4_1)은 제1 패시베이션층(310_2)과 중첩하고, 제1 패시베이션층(310_2)을 커버할 수 있다. 단면도에서, 제4 브릿지 패턴(BP4_1)의 양단은 버퍼층(200)과 접할 수 있다.
- [0169] 제4 브릿지 패턴(BP4_1)은 불투명 금속 물질을 포함하여 구성될 수 있고, 이 경우, 발광 유닛(LU_7)은 배면으로 발광할 수 있다. 또한, 제4 브릿지 패턴(BP4_1)은 반사 물질을 포함하여 구성될 수 있고, 이 경우, 미세 발광 다이오드(NLD)를 기준으로 상부 방향으로 발산되는 광은 제4 브릿지 패턴(BP4_1)에 의해 모두 하부 방향으로 반사되며, 따라서, 발광 유닛(LU_7)은 배면 발광 효율이 보다 향상될 수 있다.
- [0170] 도 15를 참조하면, 발광 유닛(LU_8)은 격벽(330_1)을 포함한다는 점에서, 도 12의 발광 유닛(LU_5)과 상이하다.
- [0171] 격벽(330_1)은 그 배치 위치를 제외하고, 도 10을 참조하여 설명한 격벽(330)과 실질적으로 동일할 수 있다.
- [0172] 격벽(330_1)은 제1 다이오드 전극(ED1_2) 뿐만 아니라 제2 다이오드 전극(ED2_2)과 중첩하여 배치될 수 있다. 격벽(330_1)의 측벽을 따라 형성된 제1 및 제2 다이오드 전극들(ED1_2, ED2_2)이 반사 물질로 구성되거나, 반사 물질을 포함하여 구성되는 경우, 발광 유닛(LU_8)의 전면 발광 효율이 보다 향상될 수 있다. 제1 및 제2 다이오드 전극들(ED1_2, ED2_2) 대신 격벽(330_1)이 반사 물질을 포함하여 구성되는 경우에도, 발광 유닛(LU_8)의 전면 발광 효율이 보다 향상될 수 있다.
- [0173] 도 16을 참조하면, 발광 유닛(LU_9)은 반사층(500_1)을 더 포함한다는 점에서, 도 12의 발광 유닛(LU_5)과 상이하다.
- [0174] 반사층(500_1)은 도 8을 참조하여 설명한 반사층(500)과 실질적으로 동일할 수 있다. 따라서, 중복되는 설명은 반복하지 않기로 한다.
- [0175] 반사층(500_1)은 두께 방향으로 미세 발광 다이오드(NLD)와 중첩하고, 제1 및 제2 다이오드 전극들(ED1_2, ED2_2)과 일부 중첩할 수 있다. 도 8을 참조하여 설명한 바와 같이, 반사층(500_1)은 평면도 상 발광 유닛(LU_9)의 일부에만 배치되어, 미세 발광 다이오드(NLD)에 의해 하부 방향으로 발산되어 반사층(500_1)에 의해 반사된 광이, 인접 발광 영역(즉, 발광 유닛(LU_9)에 인접한 발광 유닛이 배치되는 영역)을 통해 발산되지 않도록 할 수 있다. 예를 들어, 미세 발광 다이오드(NLD)를 기준으로 반사층(500_1)의 돌출된 길이는, 도 8을 참조하여 설명한 바와 같이, 미세 발광 다이오드(NLD)로부터 인접 발광 영역까지의 거리의 1/2 이하일 수 있다.
- [0176] 반사층(500_1)에 의해, 발광 유닛(LU_9)은 전면으로 발광할 수 있다.
- [0177] 도 17 내지 도 19를 참조하면, 발광 유닛들(LU_10, LU_11, LU_12)은 반사층(500_1)을 더 포함한다는 점에서, 도 13 내지 도 15의 발광 유닛들(LU_6, LU_7, LU_8)과 상이하다. 반사층(500_1)에 의해 발광 유닛들(LU_10, LU_11, LU_12) 각각은 전면으로 발광하며, 보다 향상된 전면 발광 효율을 가질 수 있다.
- [0178] 도 20a 내지 도 20e는 도 1의 발광 장치를 제조하는 방법을 설명하는 도면들이다. 도 20a 내지 도 20e는, 도 3에 도시된 A-A'선을 따라 발광 유닛(LU)을 절단한 단면을 공정 순서대로 도시한다.
- [0179] 먼저, 도 20a를 참조하면, 기판(100)을 준비하고, 기판(100) 상에 버퍼층(200)을 적층할 수 있다. 이후, 버퍼층(200) 상에 제1 다이오드 전극(ED1) 및 제2 다이오드 전극(ED2)을 포함하는 제1 도전층을 형성할 수 있다. 제

1 도전층은 하나의 마스크 공정(예를 들어, 제1 마스크 공정)을 통해 형성될 수 있다.

- [0180] 발광 유닛(LU)이 배면 발광 구조를 가짐에 따라, 제1 도전층을 형성하는 공정 이전에 별도의 격벽을 형성하는 공정(예를 들어, 격벽 형성을 위한 마스크 공정)이 배제될 수 있다.
- [0181] 도 20b를 참조하면, 제1 및 제2 다이오드 전극들(ED1, ED2) 사이에 미세 발광 다이오드(NLD)를 배치시키고, 제1 및 제2 다이오드 전극들(ED1, ED2)에 전압을 인가하여 미세 발광 다이오드(NLD)(즉, 제1 및 제2 미세 발광 다이오드들(NLD1, NLD2))를 특정 방향으로 정렬시킨다. 앞서 설명한 바와 같이, 미세 발광 다이오드(NLD)는 특수 용액에 섞인 상태로 버퍼층(200) 상에 분사될 수 있으며, 특수 용액을 자연 건조시키거나 제거함으로써 미세 발광 다이오드(NLD)가 버퍼층(200) 상에 배치될 수 있다.
- [0182] 도 20c를 참조하면, 제2 다이오드 전극(ED2) 및 미세 발광 다이오드(NLD) 상에 제2 도전층(또는, 제1 브릿지 패턴(BP1))을 형성한다. 제2 도전층은 하나의 마스크 공정(예를 들어, 제2 마스크 공정)을 통해 형성될 수 있다.
- [0183] 제2 도전층(또는, 제1 브릿지 패턴(BP1))은 미세 발광 다이오드(NLD)(예를 들어, 제1 및 제2 미세 발광 다이오드들(NLD1, NLD2))을 부분적으로 커버하여, 제1 및 제2 미세 발광 다이오드들(NLD1, NLD2)을 버퍼층(200) 상에 직접적으로 고정시킬 수 있다. 따라서, 제1 및 제2 미세 발광 다이오드들(NLD1, NLD2)을 고정하기 위한 별도의 절연층 형성 공정이, 제2 도전층 형성 공정 이전에, 배제될 수 있다.
- [0184] 이후, 도 20d를 참조하면, 미세 발광 다이오드(NLD) 및 제2 도전층(또는, 제1 브릿지 패턴(BP1)) 상에 제1 절연층(또는, 제1 패시베이션층(310))을 형성한다. 제2 패시베이션층(310)은 하나의 마스크 공정(예를 들어, 제3 마스크 공정)을 통해 형성될 수 있다.
- [0185] 이후, 도 20e를 참조하면, 제1 도전층(또는, 제1 다이오드 전극(ED1)), 미세 발광 다이오드(NLD) 및 제1 절연층(또는, 제1 패시베이션층(310)) 상에 제3 도전층(또는, 제2 브릿지 패턴(BP2))을 형성한다. 제2 브릿지 패턴(BP2)은 하나의 마스크 공정(예를 들어, 제4 마스크 공정)을 통해 형성될 수 있다.
- [0186] 상술한 바와 같이, 전극 형성, 제1 도전층 형성, 제1 절연층 형성 및 제2 도전층 형성과 같이 4번의 마스크 공정을 통해, 발광 유닛(LU)이 제조될 수 있다. 발광 유닛(LU)은 배면 발광 구조를 가짐에 따라, 전극 형성 이전에 별도의 격벽 형성을 위한 마스크 공정이 배제될 수 있고, 또한, 전극 형성과 제1 도전층 형성 사이에 전극 고정을 위한 마스크 공정이 배제될 수 있다. 즉, 보다 감소된 횟수의 마스크 공정(즉, 단순화된 공정)을 통해 발광 유닛(LU)이 제조될 수 있다.
- [0187] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

- [0188] 1: 발광 장치
- 10: 발광 패널
- 20: 주사 구동부
- 30: 데이터 구동부
- 40: 전원 공급부
- 50: 타이밍 제어부
- 100: 기판
- 200: 버퍼층
- 310, 320: 제1 및 제2 패시베이션층들
- 400, 600: 구동 회로층
- LU: 발광 유닛

ED1: 제1 다이오드 전극

ED2: 제2 다이오드 전극

NLD: 미세 발광 다이오드

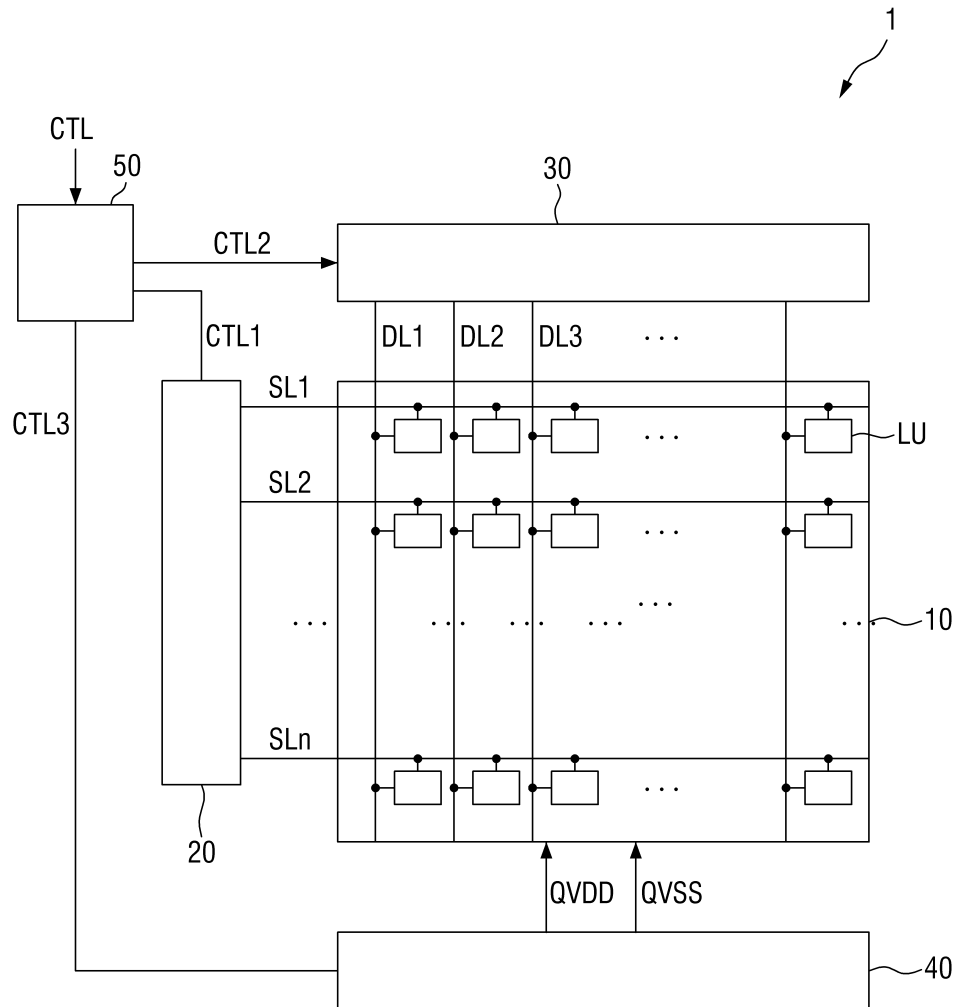
SA1: 제1 측벽

SA2: 제2 측벽

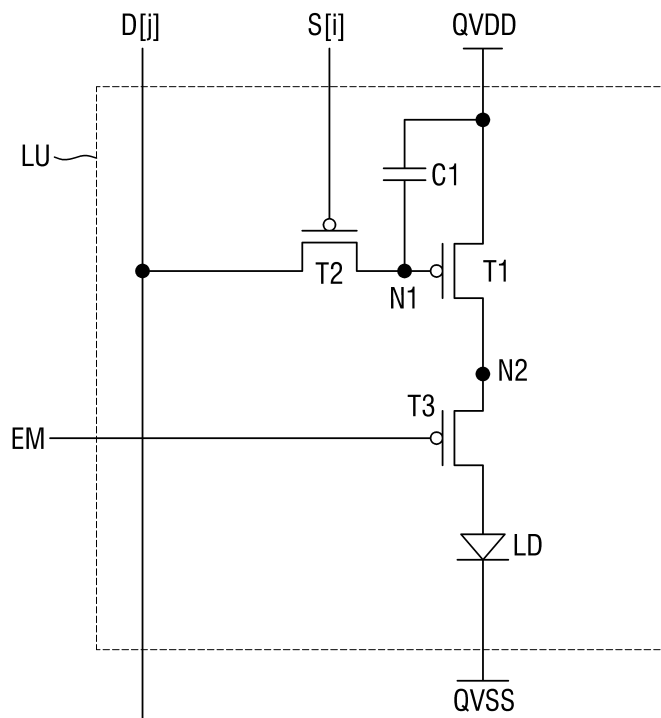
BP1, BP2: 제1 및 제2 브릿지 패턴들

도면

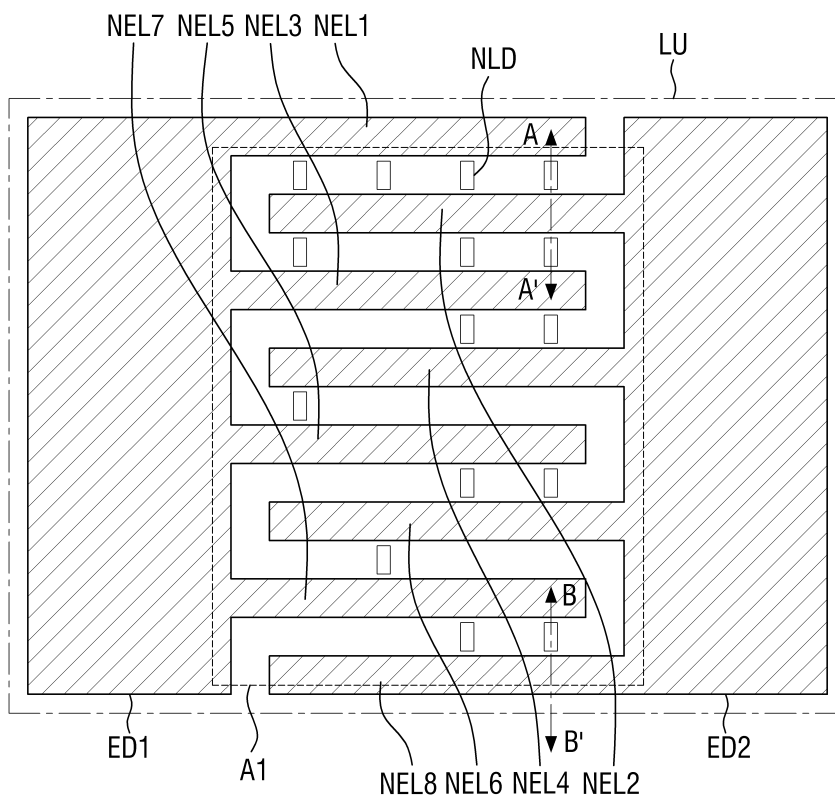
도면1



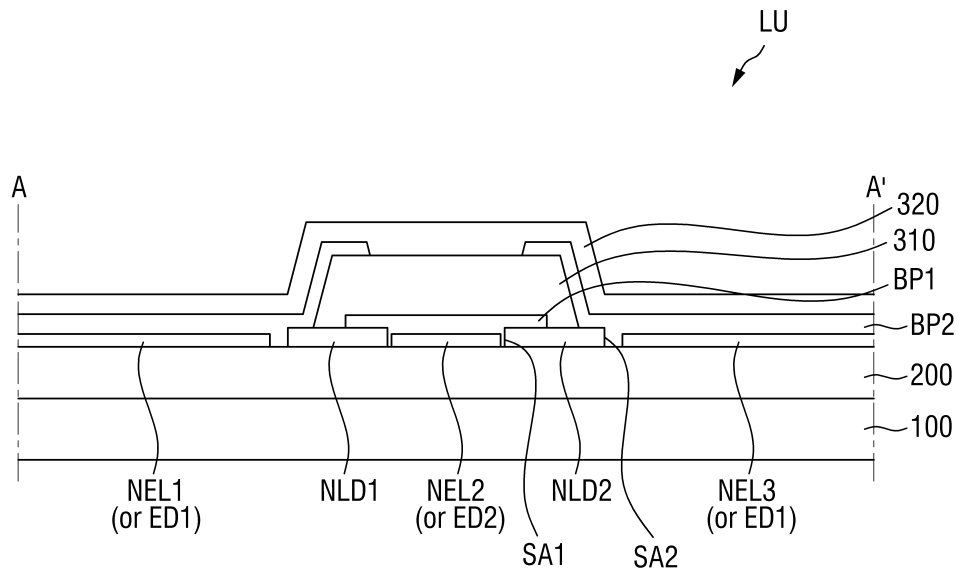
도면2



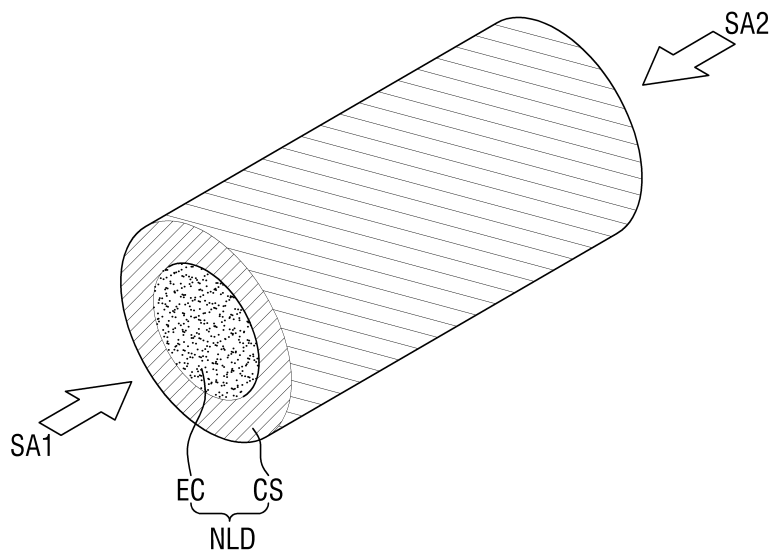
도면3



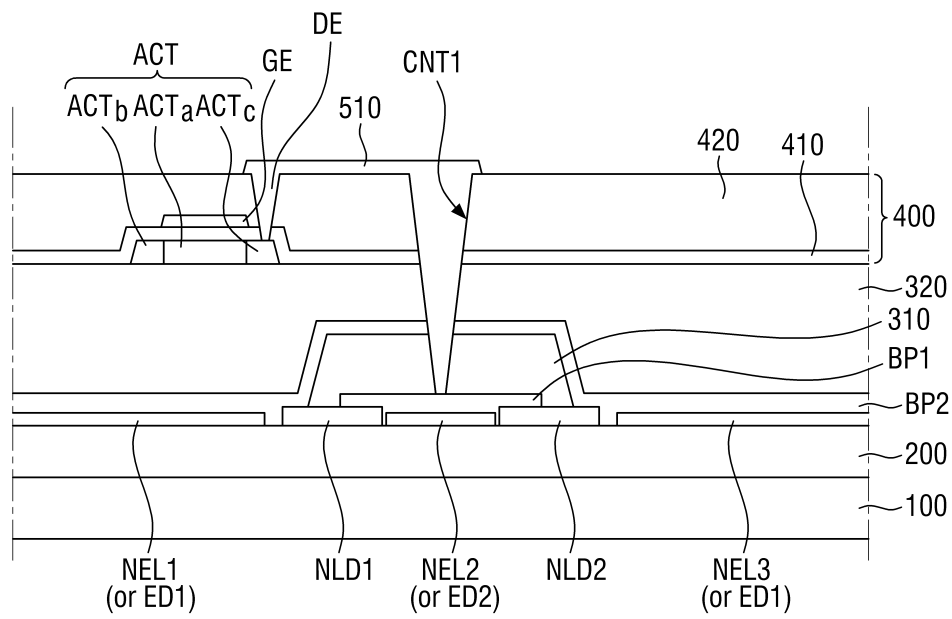
도면4



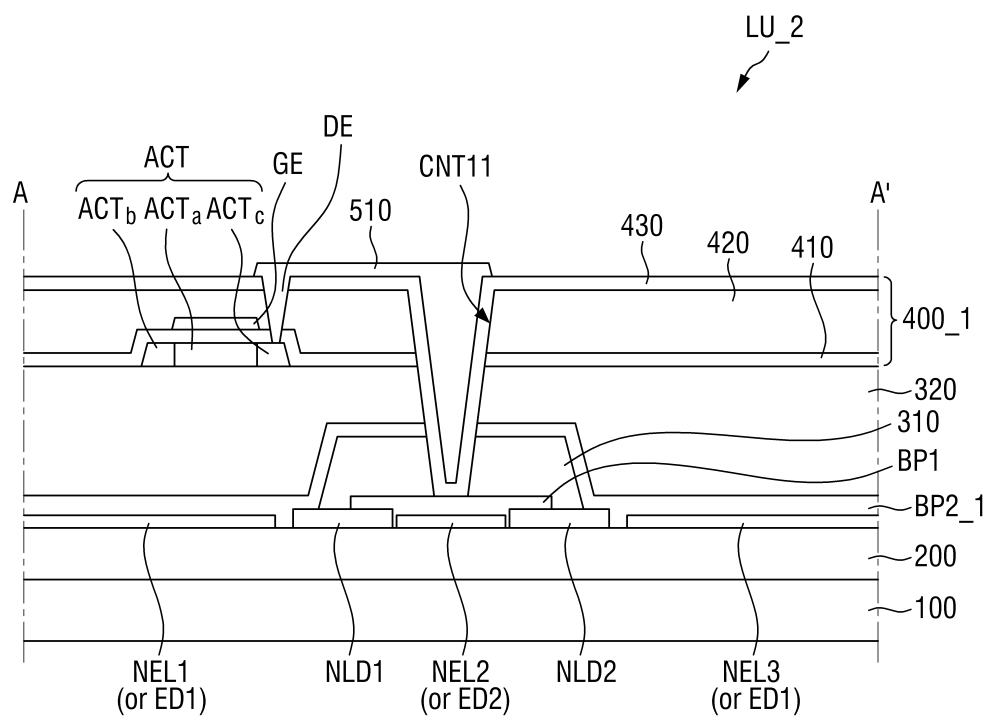
도면5



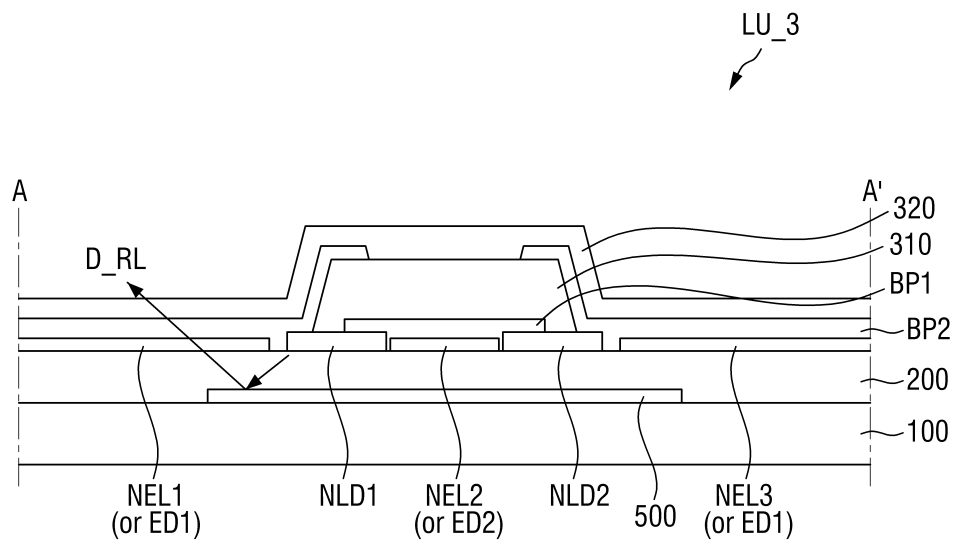
도면6



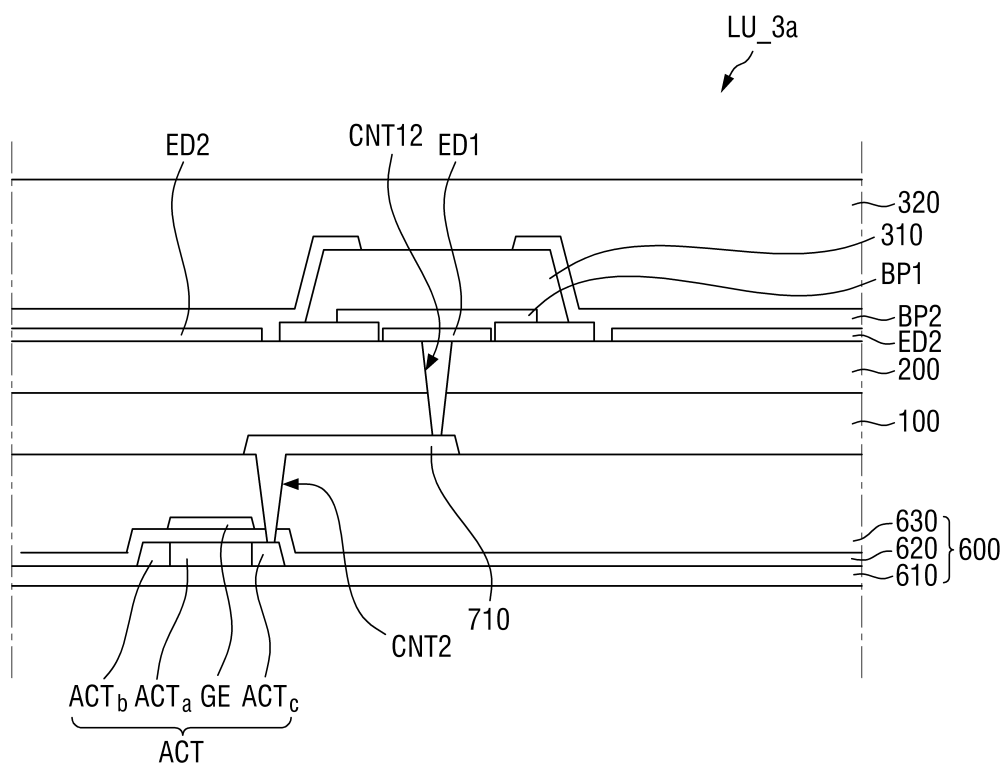
도면7



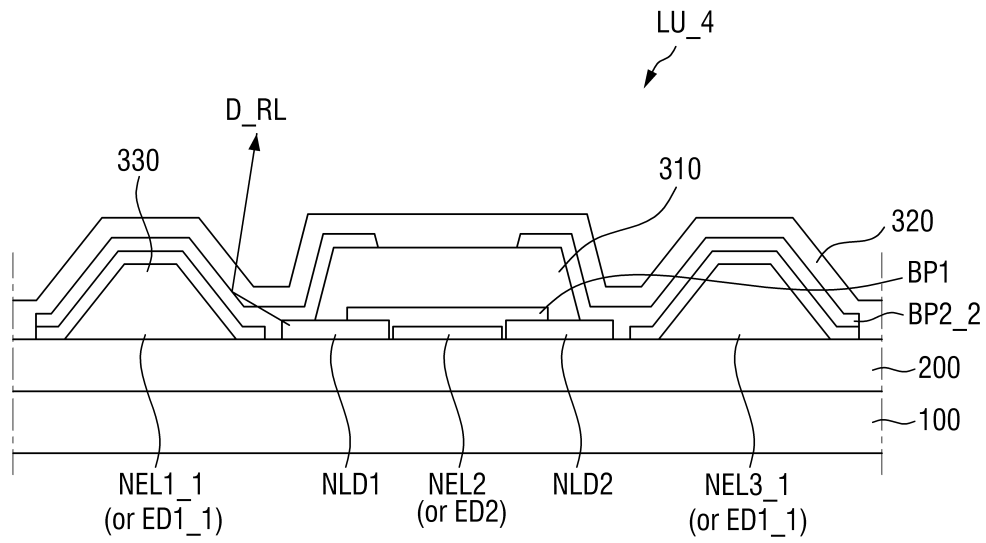
도면8



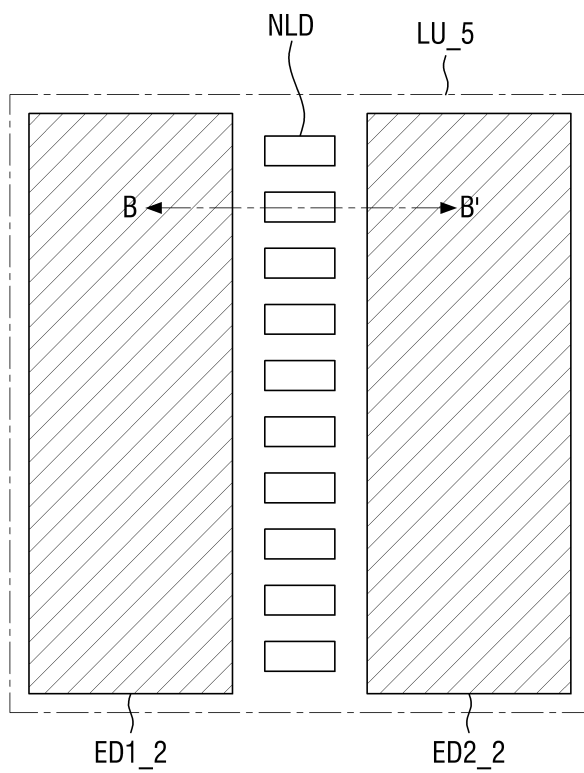
도면9



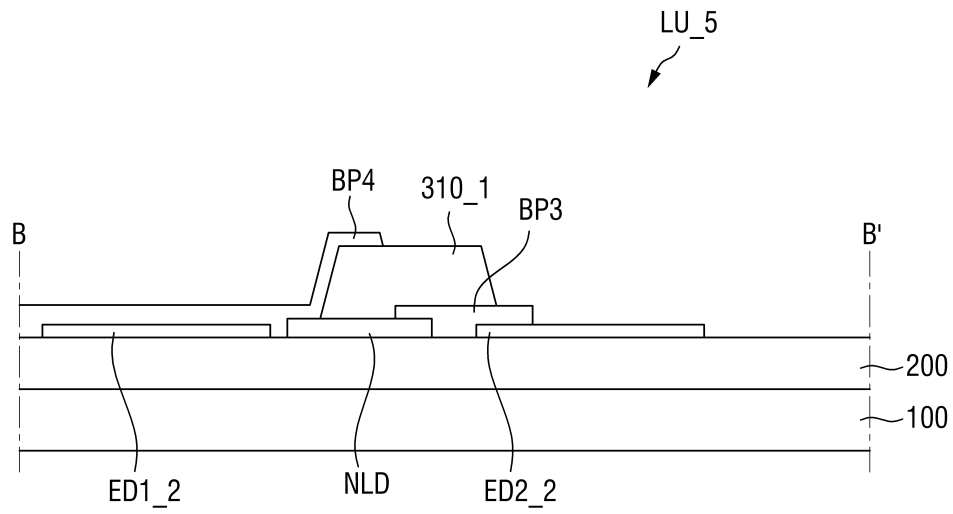
도면10



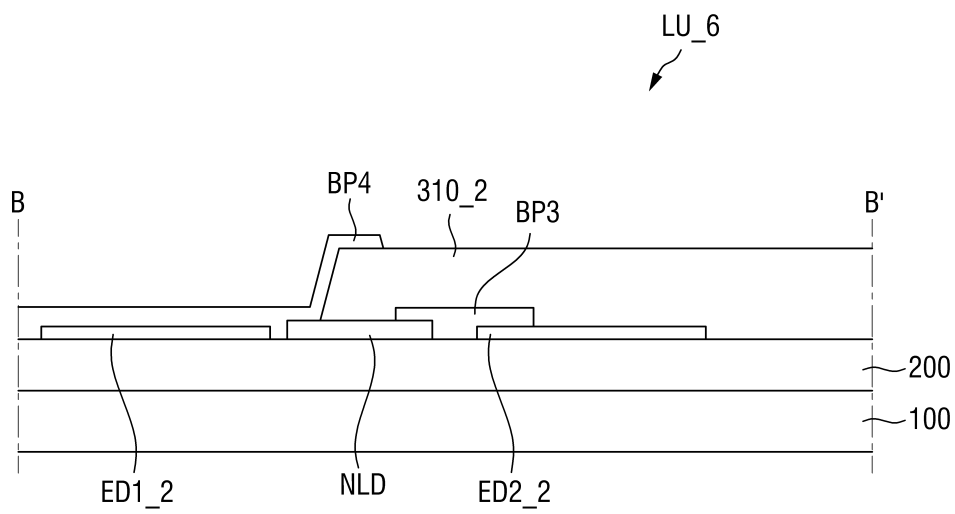
도면11



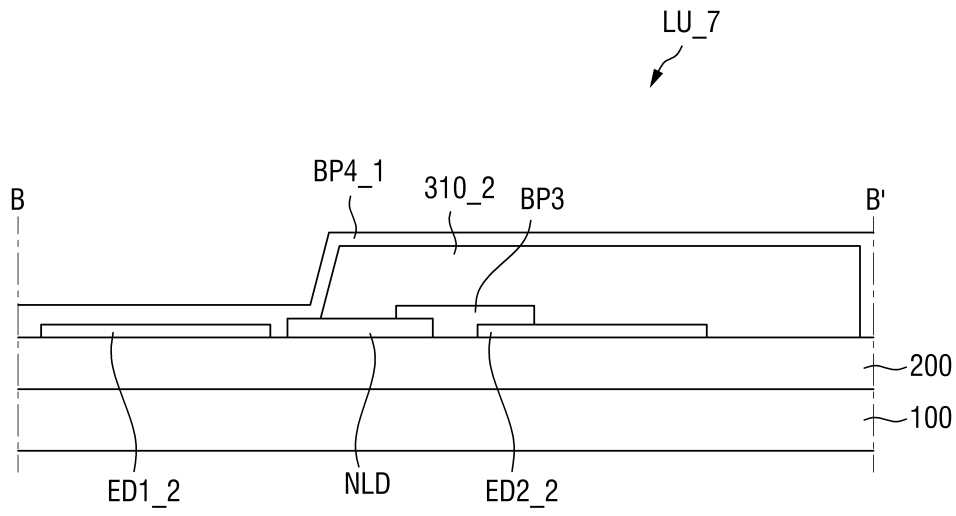
도면12



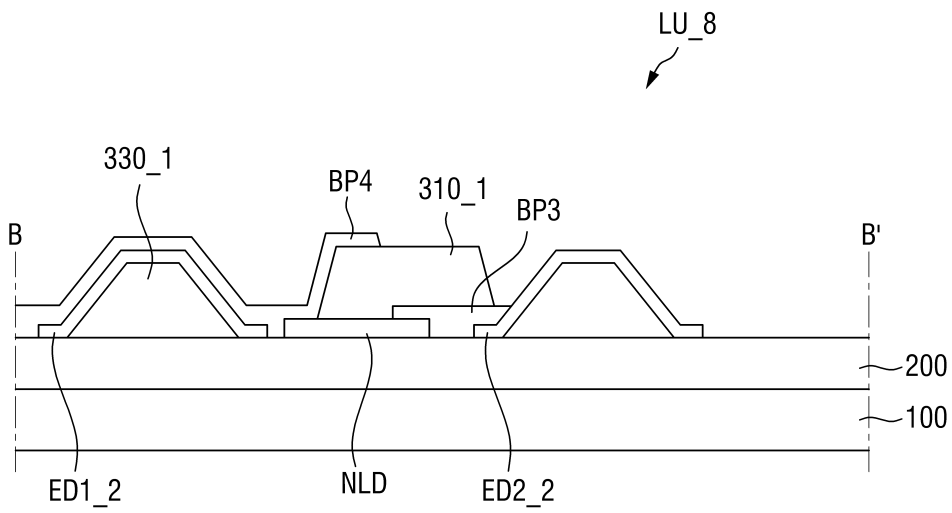
도면13



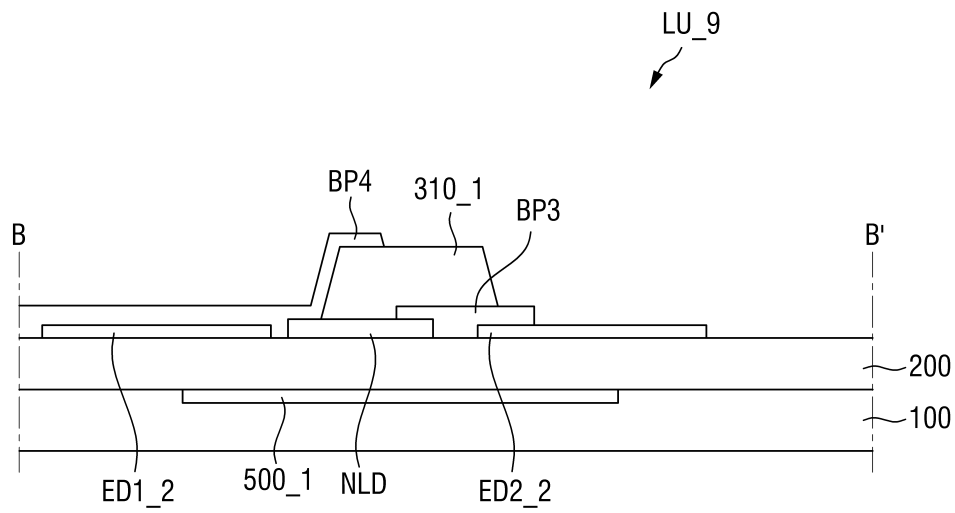
도면14



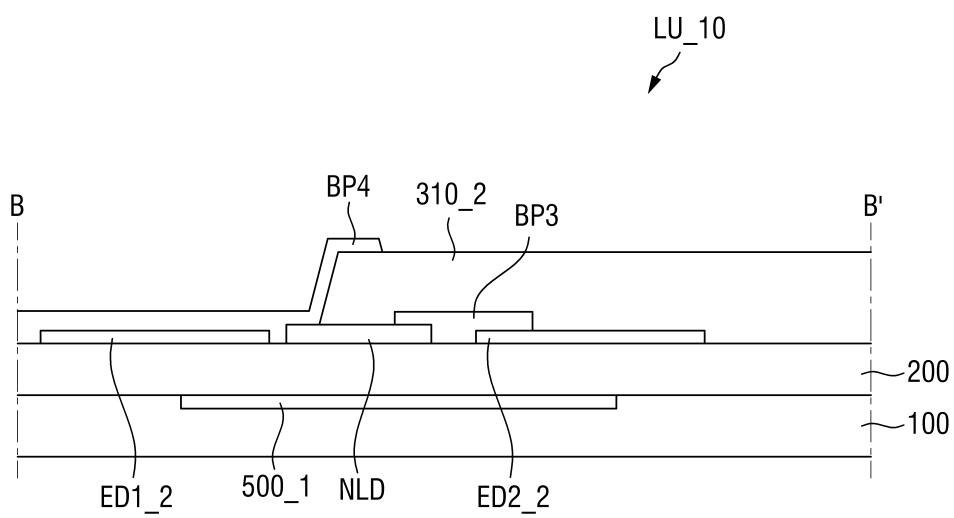
도면15



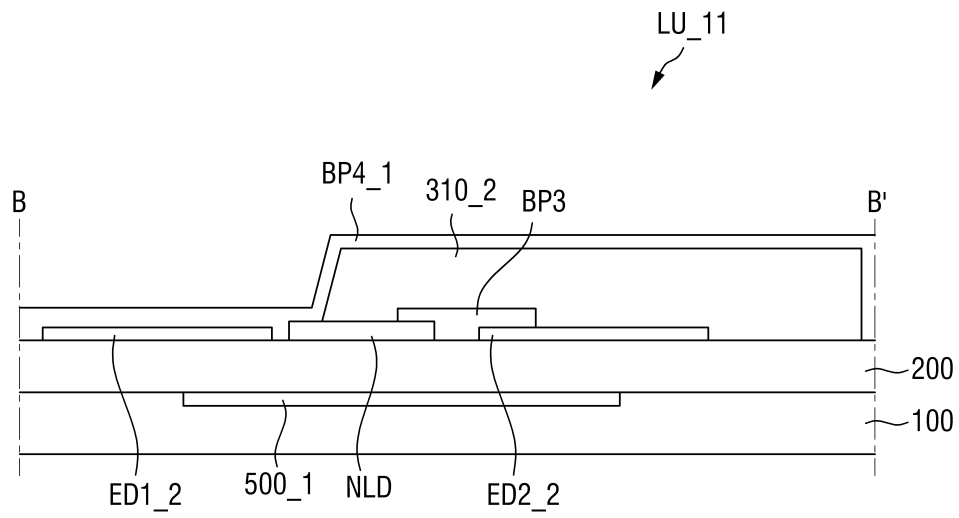
도면16



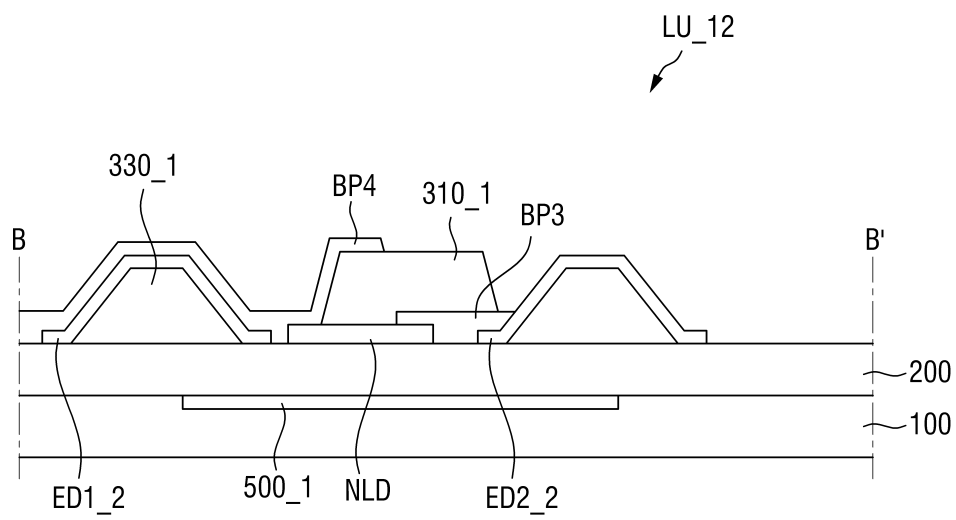
도면17



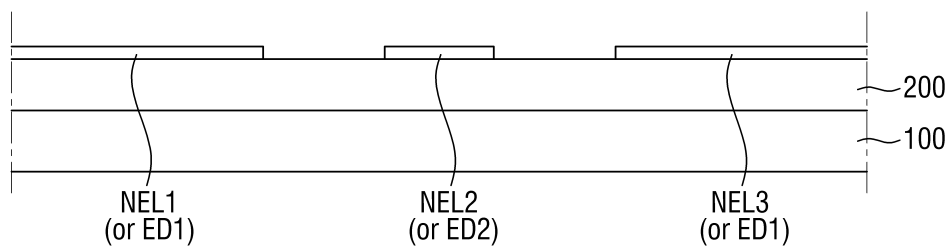
도면18



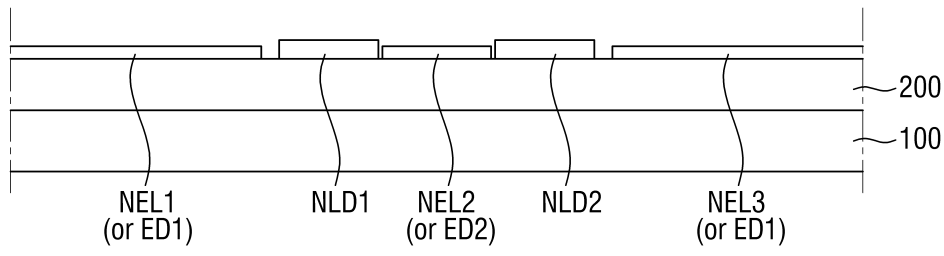
도면19



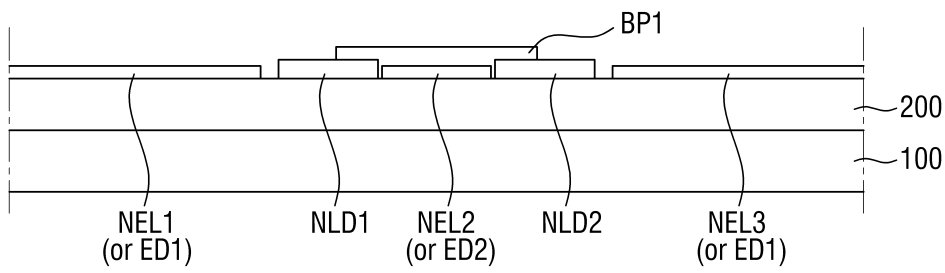
도면20a



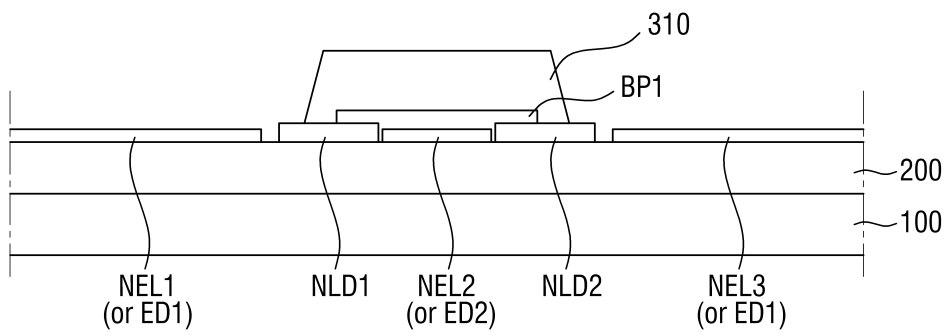
도면20b



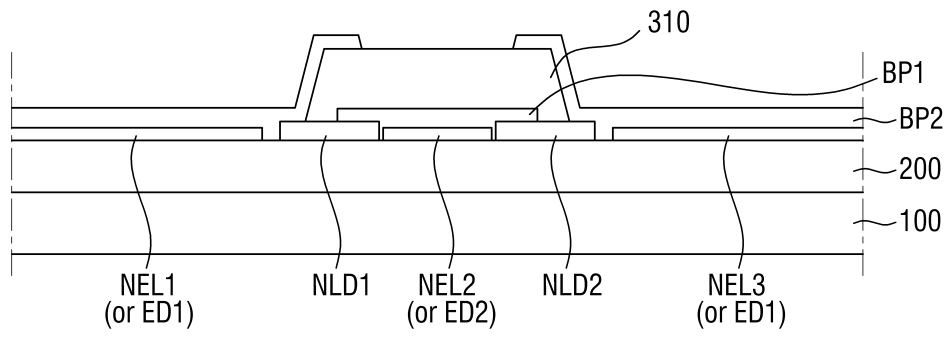
도면20c



도면20d



도면20e



专利名称(译)	发光二极管显示装置及其制造方法		
公开(公告)号	KR1020200008075A	公开(公告)日	2020-01-23
申请号	KR1020180081378	申请日	2018-07-13
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	우영걸		
发明人	우영걸		
IPC分类号	H01L27/15 H01L27/28 H01L33/00 H01L33/10 H01L33/12 H01L33/16 H01L33/24 H01L33/36 H01L33/62		
CPC分类号	H01L27/156 H01L27/283 H01L33/0008 H01L33/10 H01L33/12 H01L33/16 H01L33/24 H01L33/36 H01L33/62 H01L25/0753 H01L2933/0066 H01L33/06 H01L33/32 H01L33/38 H01L33/60 H01L2933/0016 H01L2933/0058		
外部链接	Espacenet		

摘要(译)

发光器件包括：基层；和 第一导电层，其设置在基层上并包括第一电极图案和第二电极图案，其中第一导电层在第一电极图案和第二电极图案之间的第一区域中暴露基层。微型发光二极管，设置在基层上的第一区域中；第二导电层，其覆盖第二电极图案，覆盖微发光二极管的一侧，并分别与第二电极图案和微发光二极管的一侧接触；第一绝缘层，设置在第二导电层和微发光二极管上，并部分地暴露微发光二极管的另一侧；第三导电层，覆盖所述第一电极图案，覆盖所述微发光二极管的另一侧，与所述第一电极图案和所述微发光二极管的另一侧接触，并至少部分覆盖所述发光二极管的侧壁。绝缘层。根据本发明，电极或配线的连接结构的可靠性。

